MANUALE TECNICO DEL NANOCOMPUTER® TRAINING SYSTEM

MANUALE TECNICO DEL NANOCOMPUTER® TRAINING SYSTEM

1ª EDIZIONE

A T T E N Z I O N E ! !

Non vogliamo guastare la Vostra gioia all'approccio di questo nuovo mondo del 'calcolo' ma vorremmo avvertirVi di qualche pericolo di dannegiamento che questi componenti sensibili e complessi, di cui e' formato il Nanocomputer, potrebbero avere nell'uso.

Le schede

Sebbene le schede siano costruite in fibra di vetro molto resistente le sottili piste del circuito stampato possono essere danneggiate da colpi o da eccessiva flessione della scheda.
Fate a t t e n z i o n e quando togliete le schede dall'imballo e le inserite o disinserite dal contenitore porta schede di NON sottoporle ad eccessivi sforzi.

I componenti

Alcuni componenti montati sulle schede sono circuiti integrati MOS (Metal-Oxide-Silicon). Questi circuiti sono sensibili all'elettricita` statica. NON togliete nessun circuito integrato della scheda senza prendere adeguate precauzioni.
Vi raccomandiamo di maneggiare i circuiti MOS su un piano di metallo, eventualmente, messo a terra; utilizzate solo saldatori con presa di terra collegata ed e v i t a t e il contatto con materiali sintetici (stoffe) che generano elettricita' statica.
Naturalmente, durante il funzionamento, NON appoggiate la scheda su un piano metallico poiche' i vari componenti verrebbero messi in corto circuito.
Quando inserite o disinserite le connessioni esterne delle schede CLZ80/NC e NEZ80 assicurateVi che il sistema NON sia alimentato (alimentatore spento) per non danneggiarne i circuiti.

A b b i a t e n e cura . CIAO

INDICE

0 Sistema Didattico NANOCOMPUTER .... pag. 7

1 Introduzione al Sistema Didattico NANOCOMPUTER. 8
- 1.1 Scheda CLZ80/NC. 10
- 1.2 Tastiera-display NKZ80 13
- 1.3 Scheda per esperimenti NEZ80 14
- 1.4 NANOCOMPUTER Super NBZ80-S 16

2 Installazione del sistema 18
- 2.1 Connessione corrente alternata 19
- 2.2 Accensione e azzeramento del sistema 20

3 Scheda CLZ80/NC - Descrizione circuitale 21
- 3.1 CPU 21
- 3.2 Interfaccia gamma-BUS 22
- 3.3 EPROM/ROM 23
- 3.4 Controllo di ROM 23
- 3.5 RAM 24
- 3.6 Temporizzatore di RAM 24
- 3.7 Controllo di RAM 25
- 3.8 Selezione di memoria 25
- 3.9 Selezione di periferiche 26
- 3.10 Ingresso di 'FLAG' 27
- 3.11 Porte di ingresso/uscita A,B,C,D 28
- 3.12 Interruzione 28
- 3.13 Controllo registratori a cassetta 29
- 3.14 Generatore di clock 29
- 3.15 Interfaccia seriale 29
- 3.16 Controllo di inizializzazione 30

4 Connettori,Cavi e Ponticelli della scheda CLZ80/NC 31
- 4.1 Connettori 31
- 4.2 Cavi 34
- 4.3 Ponticelli 36

5 Specifiche dei segnali della scheda CLZ80/NC. 40
- 5.1 Interfaccia gamma-BUS 40
  - 5.1.1 Descrizione segnali 43
  - 5.1.2 Caratteristiche elettriche 46
  - 5.1.3 Regole d'interconnessione 48
  - 5.1.4 Temporizzazioni 50
- 5.2 Interfaccia PIO (Ingresso/Uscita parallela) 55
  - 5.2.1 Descrizione segnali 56
  - 5.2.2 Caratteristiche elettriche 58
  - 5.2.3 Regole d'interconnessione 59
  - 5.2.4 Temporizzazioni 59
- 5.3 Interfaccia unita' magnetica 60
  - 5.3.1 Descrizione segnali 60
  - 5.3.2 Caratteristiche elettriche 60
  - 5.3.3 Formato di registrazione 61
- 5.4 Interfaccia seriale 62

5.4.1 Descrizione segnali 62
5.4.2 Caratteristiche elettriche 63

6 TASTIERA-DISPLAY NKZ80 -Descrizione circuitale 65
6.1 Display e tasti 65

7 SCHEDA PER ESPERIMENTI NEZ80 - Descrizione circuitale 67
7.1 Uso della basetta per esperimenti 67
7.2 Descrizione segnali 68
7.3 Caratteristiche elettriche segnali utente 70

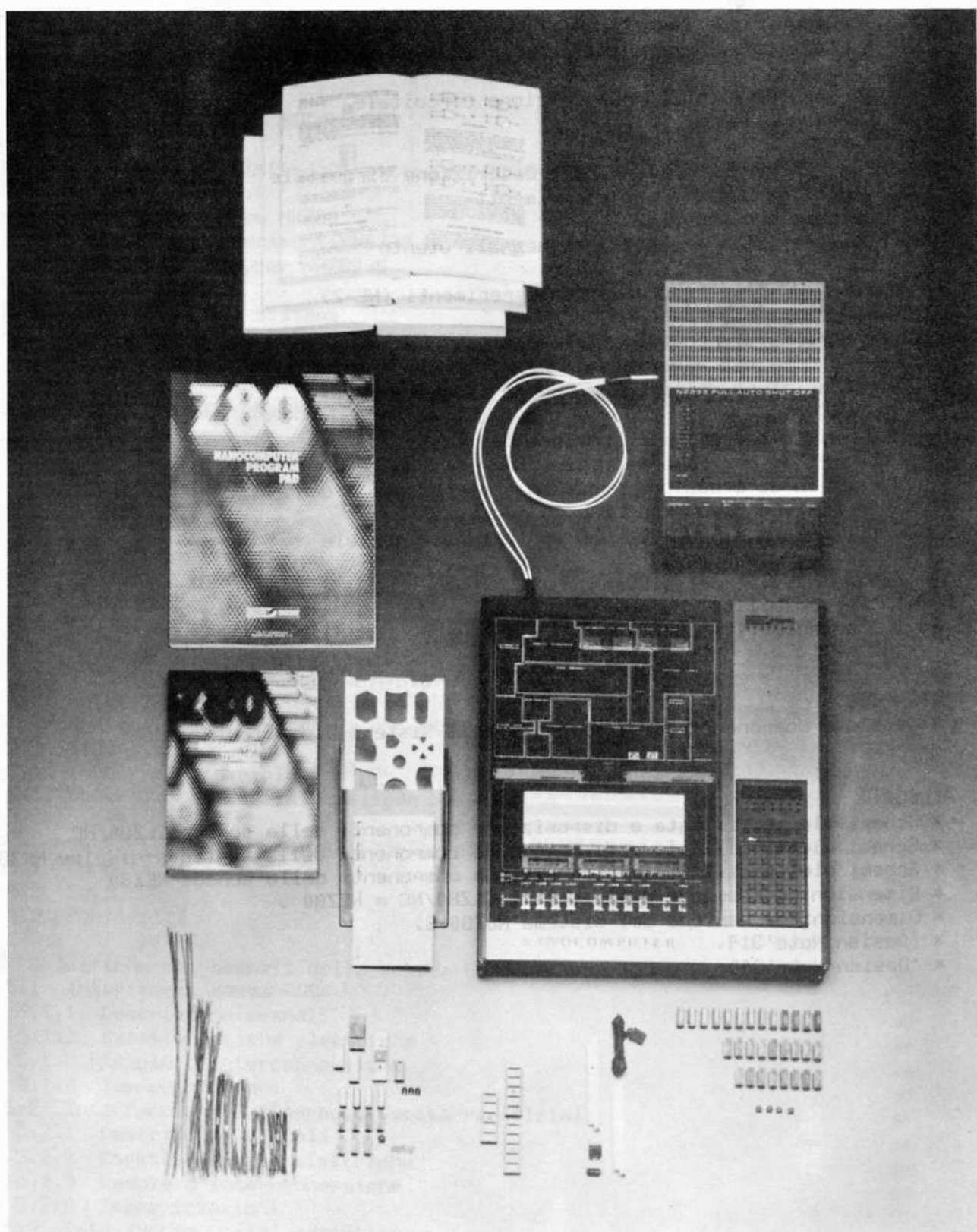
8 Monitor (NC-Z) e programma per esperimenti (NE-Z) 72
8.1 Programma di prova RAM 72
8.2 Programma di prova tastiera-display 73
8.3 Programma per esperimenti NE-Z 74
8.4 Disposizione delle EPROM/ROM di sistema 75

9 Descrizione operativa - Funzione dei tasti 76
9.1 Esempi di caricamento registri 78
9.2 Esempio di creazione programma, esecuzione e controllo 81
9.3 Operazione di DUMP e LOAD su cassetta 86
9.4 Operazione di DUMP e LOAD su terminale seriale 87

10 Espandibilita' del sistema 89
10.1 Espandibilita' hardware 89
10.2 Espandibilita' software 89

APPENDICE
* Catalogo componenti ed accessori per il Sistema Didattico Nanocomputer. 91

ALLEGATI
* Schemi elettrici,lista e disposizione componenti della scheda CLZ80/NC
* Schemi elettrici,lista e disposizione componenti della tastiera-display NKZ80
* Schemi elettrici,lista e disposizione componenti della scheda NEZ80
* Dimensioni meccaniche delle schede CLZ80/NC e NEZ80 .
* Dimensioni meccaniche del sistema NBZ80-S.
* 'Design Note'314.
* 'Design Note'340

Z80
NANOCOMPUTER
PROGRAM
PAD
FULL AUTO SHUT OFF
Z80

0 - Sistema Didattico NANOCOMPUTER®

Benvenuti nel mondo del miglior microprocessore a 8 bit, lo Z80 (*) SGS-ATES.

La famiglia dei componenti LSI Z80 e' cosi' composta:

- Z80 CPU - Central Processing Unit
- Z80 PIO - Peripheral Input/Output
- Z80 CTC - Counter Timer Circuit
- Z80 SIO - Serial Input/Output
- Z80 DMA - Direct Memory Access

Le parti componenti il Nanocomputer Training System sono state progettate, usando membri di questa famiglia, per fini educativi e di esercitazione sul microprocessore Z80.

Il sistema copre le seguenti aree di interesse:

* Programmazione in linguaggio assembler Z80.
* Elettronica digitale per microcomputer.
* Interfacciamento della CPU verso memorie, PIO e CTC.

Con il sistema, al fine d'incontrare ogni esigenza di Studenti ed Insegnanti e di chiunque si avvicini per la prima volta al mondo dei microcomputer, viene fornita una completa documentazione in tre volumi dedicata ai vari argomenti.

(R) NANOCOMPUTER e' un marchio registrato SGS-ATES.
(*) Z80 e' un marchio registrato della Zilog Inc.

1 Introduzione al Sistema Didattico NANOCOMPUTER.

Le parti costituenti il Sistema Didattico NANOCOMPUTER sono:

- La scheda CLZ80/NC contenente un piccolo e completo microcomputer con:
  - CPU-Z80
  - 4K bytes (4K x 8 bit) di memoria dinamica RAM
  - 2K bytes di memoria EPROM o ROM e (due oppure tre zoccoli ulteriori per altri 2K o 6K di EPROM-ROM a seconda dei tipi di EPROM-ROM usate).
  - 2 componenti PIO-Z80 capaci di fornire 32 linee di I/O (ingresso/uscita).
  - Interfaccia potenziata (buffered) compatibile con il gamma-BUS (*).

- L'unita' d'ingresso/uscita del Nanocomputer e' rappresentata dalla tastiera-display NKZ80 stile calcolatore tascabile, comprendente:
  - Un display con 8 cifre (digit) esadecimali
  - Indicatore luminoso a 14 LED
  - 16 tasti esadecimali
  - 14 tasti per funzioni varie di controllo.

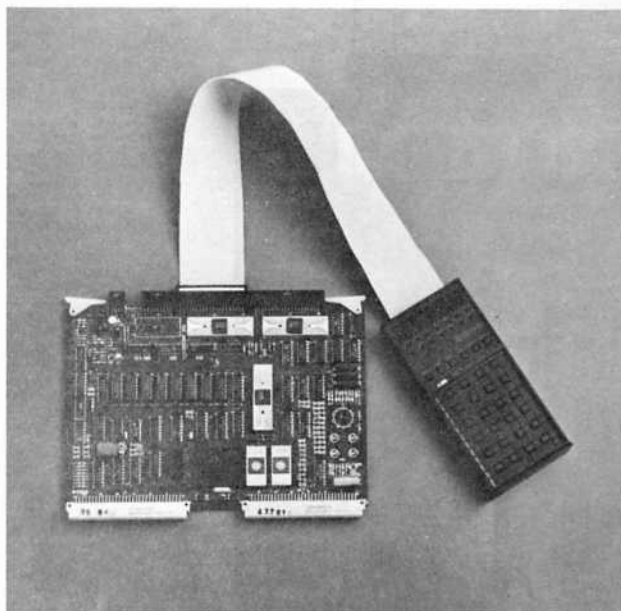
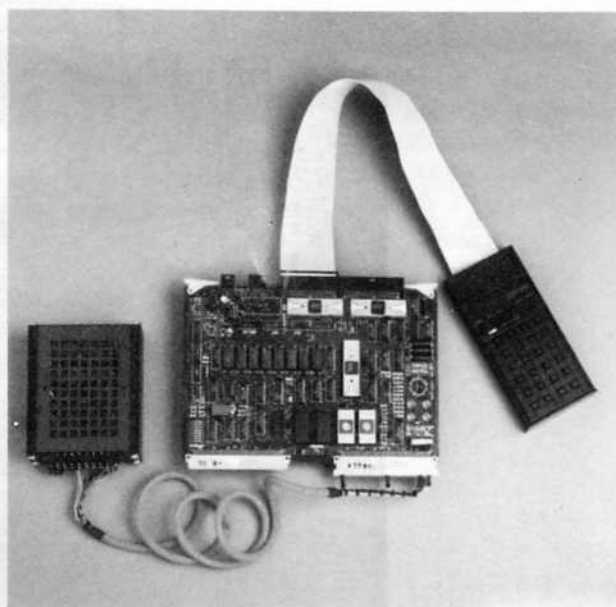
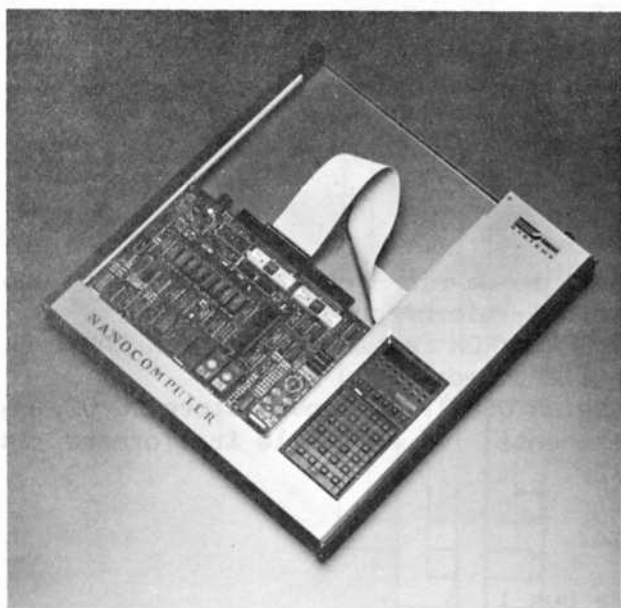
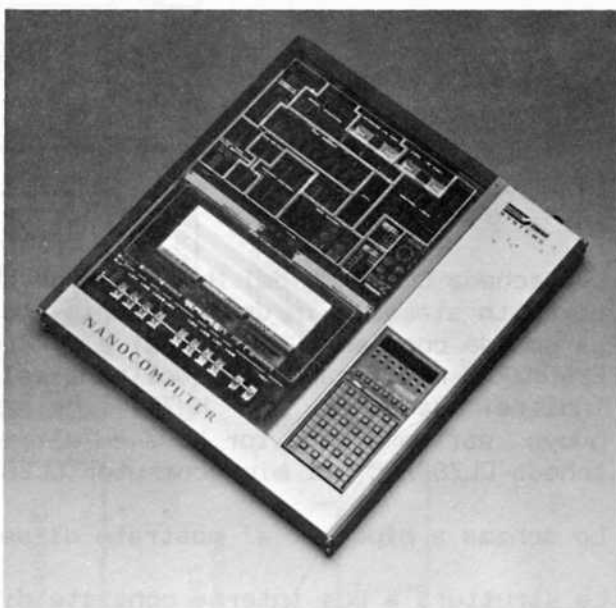
- La scheda NEZ80 per esperimenti contenente:
  - Una speciale basetta per inserire senza saldatura i circuiti sperimentali dell'utente.
  - 2 connettori opzionali, predisposti per il doppio formato Eurocard, con i segnali del gamma-BUS.
  - 8 commutatori logici.
  - 8 LED per visualizzazione dati a livelli logici.
  - 2 pulsanti per generare impulsi manuali.

La scheda NEZ80 si interfaccia alla scheda CLZ80/NC del Nanocomputer NBZ80 sulla struttura gamma - BUS.

- Il contenitore NPZ80 con alimentatore incorporato per le due schede CLZ80/NC e NEZ80.

- Il registratore a cassette RCZ80 con cavo di connessione W10Z80.

- Due ROM NE-Z con gli esperimenti previsti nel Nanobook 3 e vari Kit di componenti (in opzione).

(*) gamma - BUS e' il nome della struttura a bus dello Standard Europeo SGS-ATES per i microcomputer Z80 .

NBZ80

NBZ80-A

NBZ80-B

NBZ80-S

1.1- Scheda CLZ80/NC

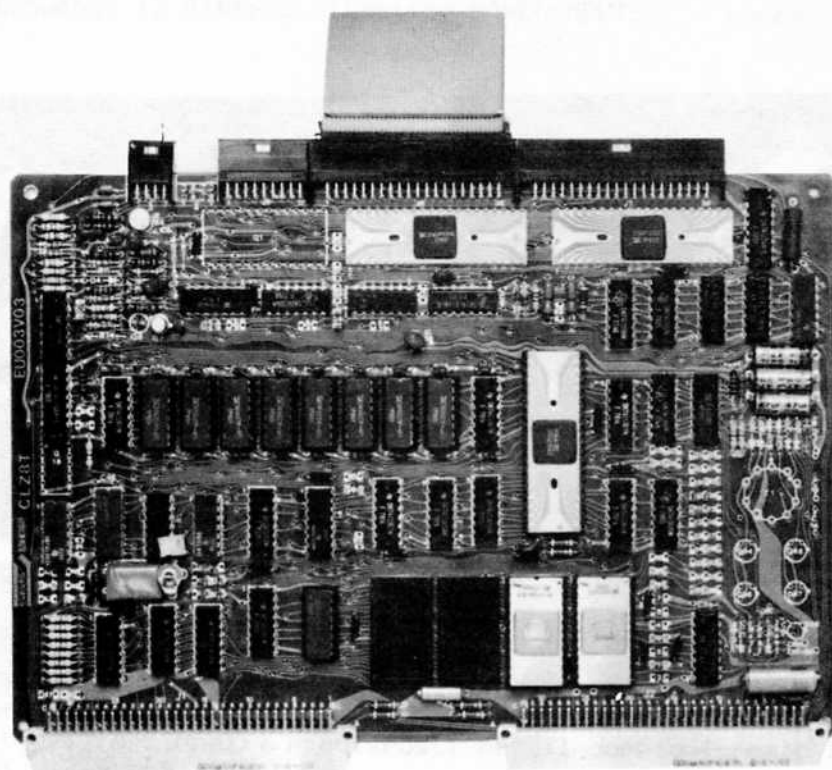



Fig. 1.1.1 - Scheda CLZ80/NC

Descrizione.

La scheda CLZ80/NC del Nanocomputer NBZ80 e' in doppio formato Eurocard con circuito stampato in doppia faccia e basata sul microprocessore Z80.
La scheda contiene 4k di RAM e 2k di EPROM/ROM espandibile a 16k RAM e 8k EPROM/ROM modificando alcuni ponticelli sulla scheda.
Inoltre, usando il kit KNZ80 che aggiunge un USART, il convertitore DC-DC, un nuovo software monitor MO-Z ed altri componenti e' possibile trasformare la scheda CLZ80/NC nel microcomputer CLZ80 4/2.

Lo schema a blocchi e' mostrato di seguito.

La struttura a bus interna consiste di tre bus :

- Bus Dati (8 bit)
- Bus Indirizzi (16 bit)
- Bus di controllo (13 linee)

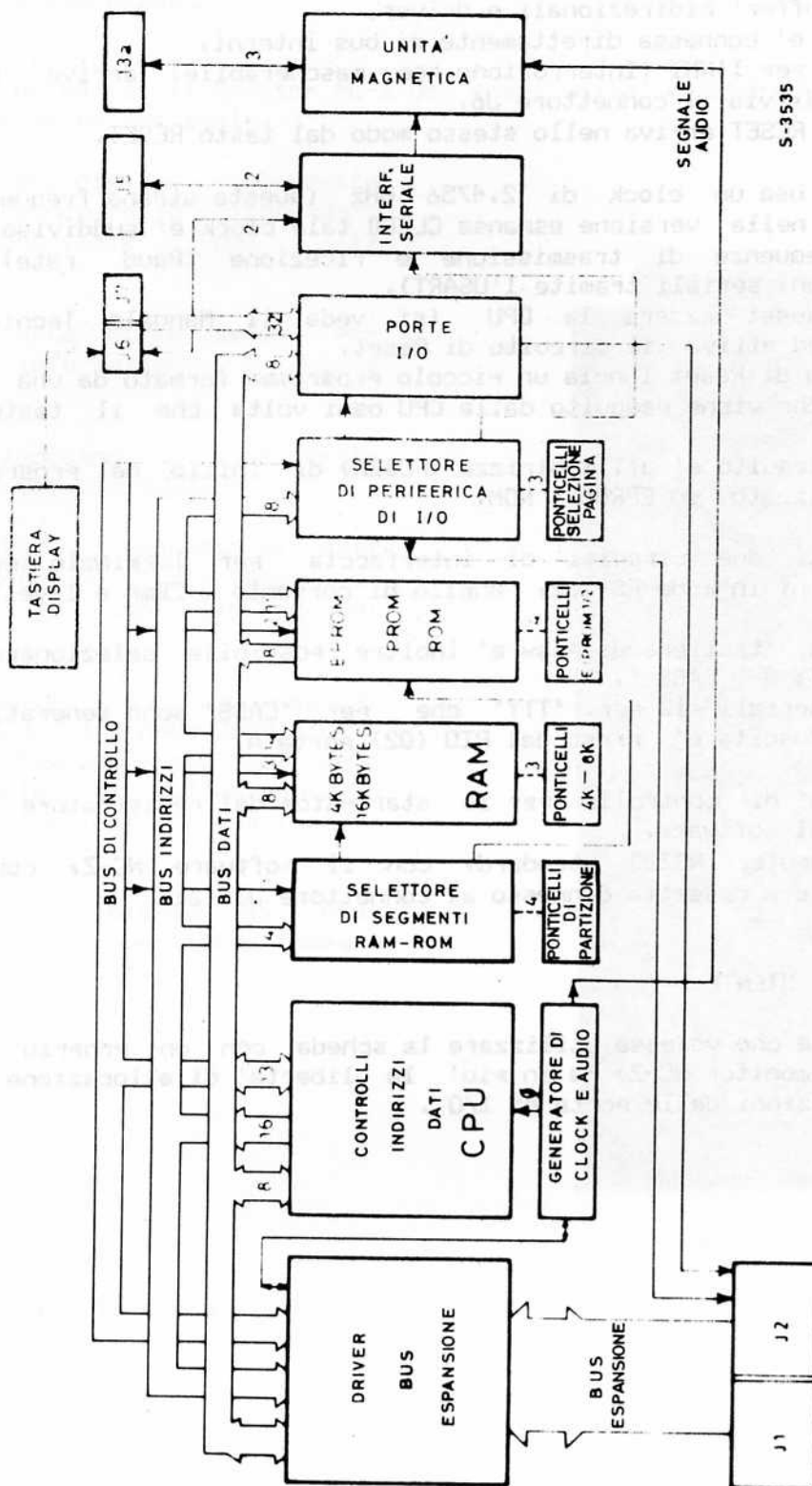



Fig. 1.A - Schema a blocchi della scheda CLZ80/NC

I segnali di questi bus sono interfacciati ai connettori J1/J2 del gamma-BUS tramite 'buffer' bidirezionali e driver.
La CPU-Z80 e' connessa direttamente ai bus interni.
Il segnale per l'NMI (Interruzione non mascherabile) arriva dalla tastiera , tasto BREAK, via il connettore J6.
Il segnale RESET arriva nello stesso modo dal tasto RESET.

La CPU-Z80 usa un clock di 2.4756 MHz (questa strana frequenza e' dovuta al fatto che nella versione espansa CLZ80 tale clock e' suddiviso per ottenere le varie frequenze di trasmissione e ricezione (Baud rate) usate nelle comunicazioni seriali tramite l'USART).
Il tasto Reset azzera la CPU (si veda il Manuale Tecnico Z80-CPU per i dettagli) ed attiva il circuito di Reset.
Il circuito di Reset lancia un piccolo programma formato da una sola istruzione di salto che viene eseguito dalla CPU ogni volta che il tasto di Reset e' premuto.
Il salto eseguito e' all'indirizzo (FC02H) di inizio del programma del Monitor NC-Z memorizzato su EPROM o ROM.

Sono forniti due circuiti di interfaccia per Terminale seriale adatti per comunicazioni in modo RS-232, anello di corrente a 20mA o livelli TTL.

Tramite la tastiera-display e' inoltre possibile selezionare l'interfaccia attiva " TTY <-> CASS ".
I segnali seriali sia per "TTY" che per "CASS" sono generati dal software e l'ingresso/uscita e' presa dal PIO (Q2) porta A.

Un segnale di controllo per lo start-stop del registratore a cassetta e' previsto dal software.
Il Nanocomputer NBZ80 standard, con il software NC-Z, controlla un solo registratore a cassetta connesso al connettore J3 (a).

OPZIONE UTENTE

L'utente che volesse utilizzare la scheda con un proprio programma S/W (senza monitor NC-Z) ha in piu' la liberta' di allocazione di memoria e di assegnazioni delle porte di I/O .

1.2. Tastiera-Display NKZ80

Il Nanocomputer NBZ80 con il Monitor NC-Z usa come unita' di ingresso/uscita la Tastiera-display NKZ80 portatile.

Questa Tastiera-display permette all'utente di comunicare in linguaggio macchina esadecimale con il Nanocomputer.

Il display a otto cifre serve per visualizzare le informazioni (dati e indirizzi).

I LED singoli indicano il significato dell'operazione visualizzata.

I tasti permettono l'ingresso di dati ed indirizzi nonche' l'attivazione di varie funzioni di controllo e di comando.

La tastiera-display e' connessa al connettore J6 della scheda CLZ80/NC.
Il connettore femmina posto sul cavo piatto (flat cable) di collegamento ha il pin 1 identificato da una freccia " v ".

Nota: La tastiera display si puo' danneggiare se il connettore femmina viene inserito invertito.

Fig. 1.2.1 - Tastiera-display

1.3. Scheda per esperimenti NEZ80.

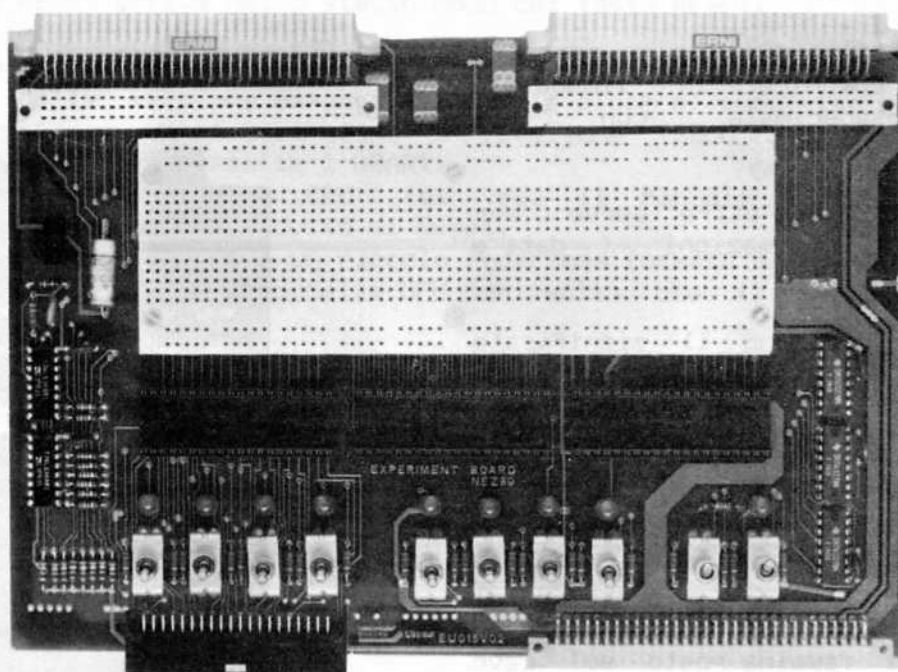



Fig. 1.3.1 - Scheda per esperimenti NEZ80 con connettori K4Z80 per l'espansione del gamma-BUS.

La scheda per esperimenti NEZ80 e` stata progettata per permettere all'utente di eseguire esperimenti d'interfacciamento usando i segnali disponibili sul gamma-BUS del CLZ80/NC assieme con segnali generati da otto commutatori e due impulsi di `strobe' generati da due pulsanti.
Si ha inoltre la possibilita' di visualizzare mediante lampadine LED otto livelli logici di segnali.

La scheda NEZ80 e' in doppio formato Eurocard con circuito stampato su doppia faccia e contiene :

- una basetta su cui inserire, senza saldature, componenti e collegamenti dell'utente.
- 8 commutatori bistabili con logica antirimbalzo.
- 8 indicatori logici a LED con `driver'.
- 2 pulsanti monostabili con logica antirimbalzo.
- 2 zoccoli (A e B) per interfacciare la basetta per esperimenti con i segnali del gamma-BUS.
- 1 zoccolo (C) per interfacciare segnali vari ed alimentazioni.
- L'espansione del gamma-BUS su due connettori femmina (opzionali) per scheda doppia Eurocard.

Il diagramma a blocchi e' mostrato di seguito.

I segnali provenienti dal gamma-BUS del CLZ80/NC attraverso i connettori J1' e J2' sono collegati a due zoccoli (A e B) da 40 pin sulla scheda.
I segnali su J4 provenienti dal PIO (porte C e D) della scheda CLZ80/NC tramite cavo piatto sono connessi àllo zoccolo (A) da 40 pin.

Gli otto commutatori, con logica antirimbalzo, forniscono livelli logici TTL '1' o '0' sullo zoccolo (C) a 40 pin.

Gli otto ingressi pilotanti LED sono disponibili sullo zoccolo (C) a 40 pin in cui il livello logico '1' = LED acceso ed il livello logico '0'= LED spento.

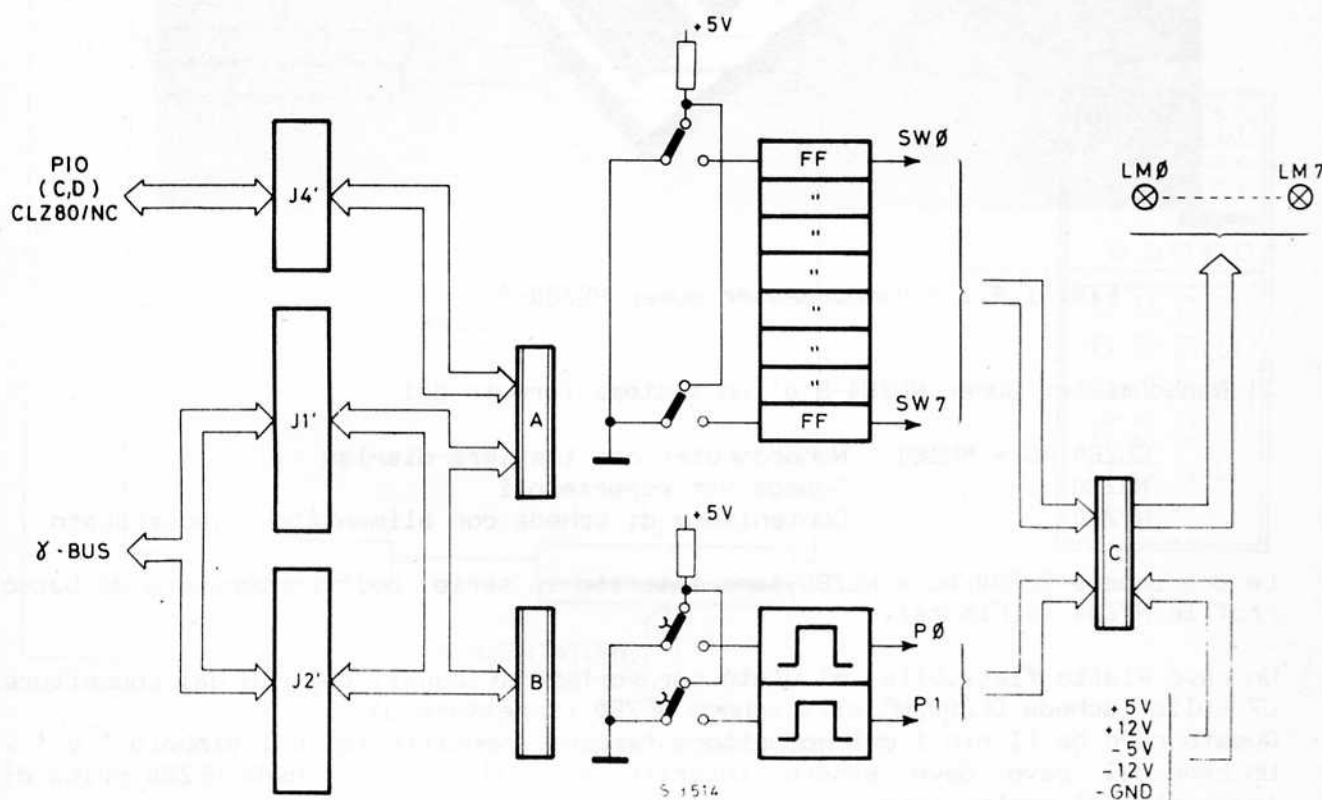



Fig.1.B - Schema a blocchi NEZ80.

1.4. NANOCOMPUTER Super NBZ80-S

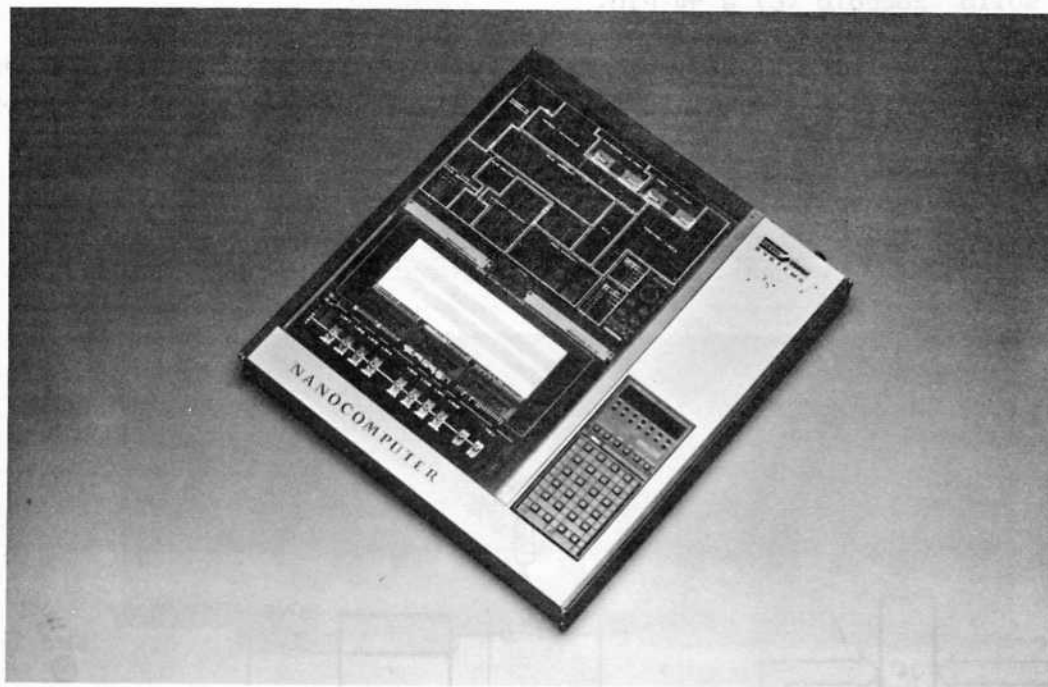



Fig. 1.4.1 - Nanocomputer super NBZ80-S

Il Nanocomputer Super NBZ80-S e' un sistema formato da:

CLZ80/NC + NKZ80	Nanocomputer con tastiera-display
NEZ80	Scheda per esperimenti
NFZ80	Contenitore di scheda con alimentatore incorporato

Le due schede CLZ80/NC e NEZ80 sono inserite in serie nel contenitore di basso profilo NFZ80 (v.Figura).

Un cavo piatto flessibile e' usato per portare i segnali del PIO dal connettore J7 sulla scheda CLZ80/NC alla scheda NEZ80 connettore J4.
Questo cavo ha il pin 1 del connettore femmina identificato dal simbolo " v ".
Un capo del cavo deve essere inserito su J4 della scheda NEZ80 prima di inserirla nel contenitore .

L'alimentazione della scheda NEZ80 e' presa dal connettore J3.

La connessione interna delle due schede con i relativi cavi e' mostrata nella Fig.1.C

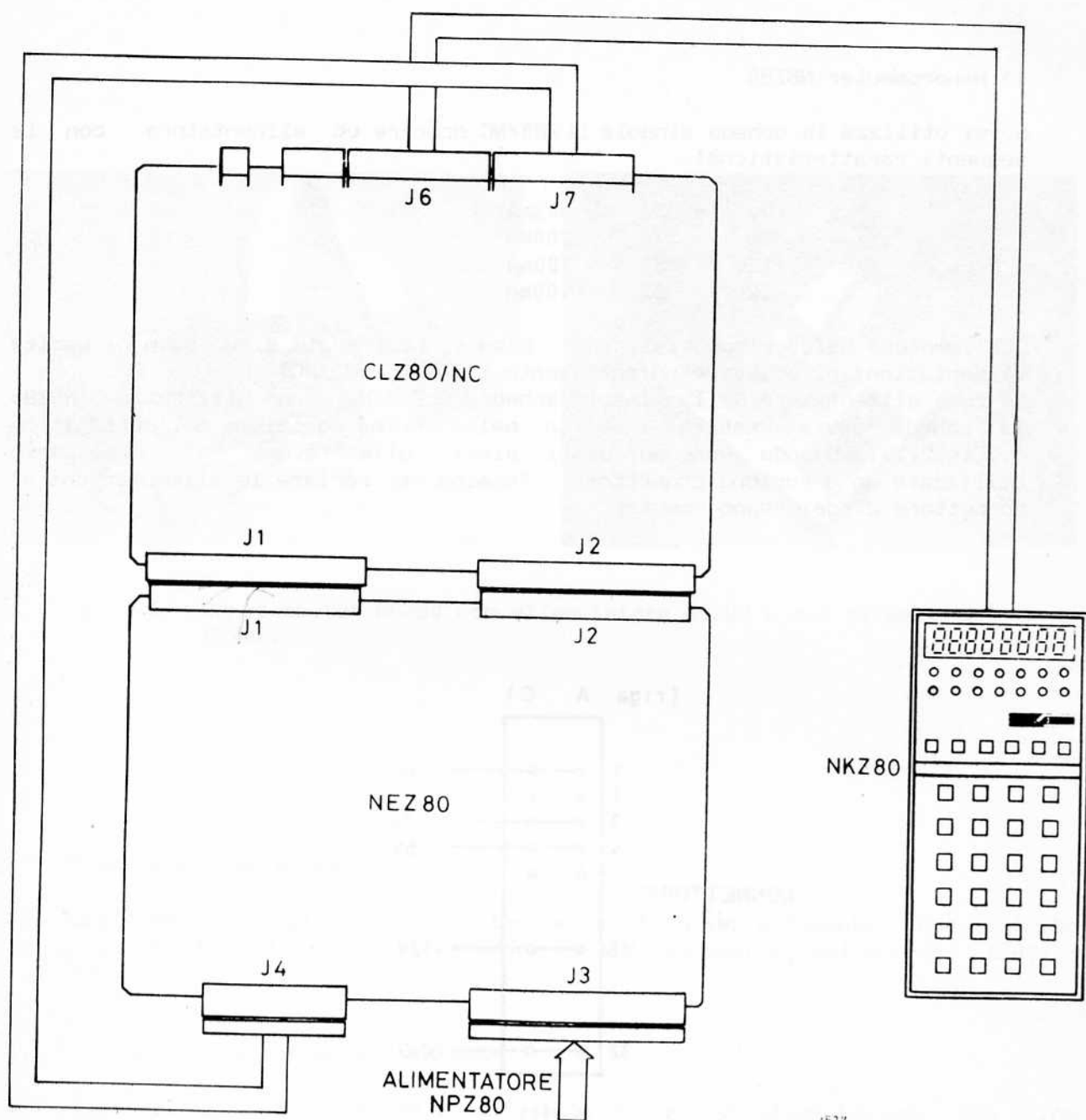



Fig.1.C - Connessione interna NEZ80-S

Il connettore dell'alimentatore dovra' essere inserito nel connettore J3 della scheda NEZ80.

Il cavo W15Z80 dei segnali PIO dovra' essere inserito fra J7 (CLZ80/NC) e (NEZ80).

Il cavo della tastiera-display NKZ80 dovra' essere inserito nel connettore J6 (CLZ80/NC).

2. - Installazione del sistema

1) Nanocomputer NBZ80

Se si utilizza la scheda singola CLZ80/NC occorre un alimentatore con le seguenti caratteristiche:

+5v +/- 5%	800mA
-5v +/- 5%	200mA
+12v +/- 5%	100mA
-12v +/- 5%	100mA

L'alimentore NSZ80 e' consigliato. Esso e' corredato di un cavo di uscita alimentazioni da inserire direttamente in J2 (CLZ80/NC).
Se come alimentatore della singola scheda CLZ80/NC viene utilizzato l'NPZ80 la scheda dovra' essere inserita nella prima posizione del contenitore (v.Fig.2.1). Quando vengono usati altri alimentatori e' necessario utilizzare un opportuno connettore femmina per portare le alimentazioni al connettore J2 del Nanocomputer.

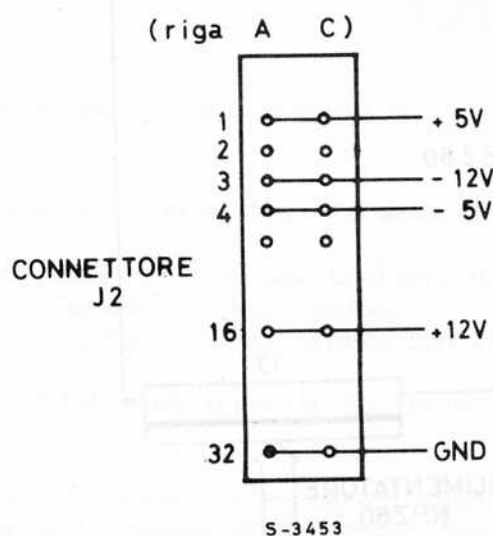



Fig.2.A - Connessione alimentazioni

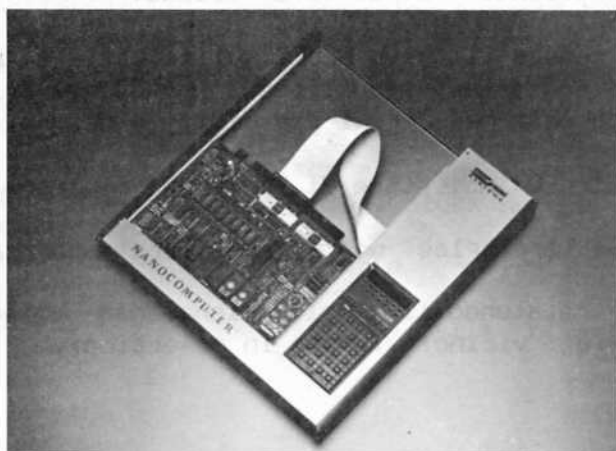
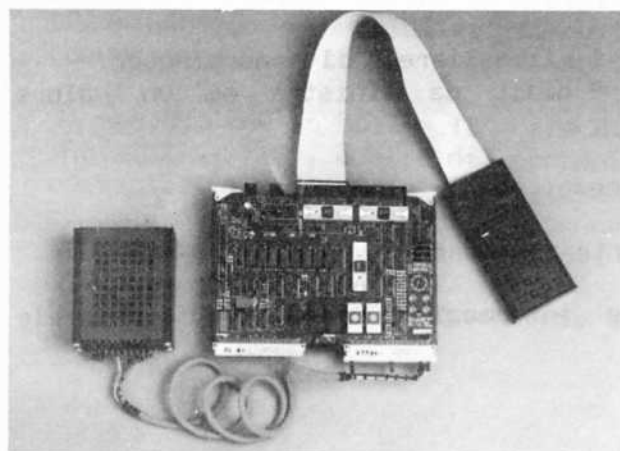



Fig. 2.1 - Nanocomputer NBZ80 con alimentatore NSZ80 e con alimentatore NPZ80.

2) Nanocomputer NBZ80-S.

Dopo aver verificato che il sistema e' montato correttamente come indicato al paragrafo 1.4 inserire la spina dell'alimentatore nella presa 220V. - 50Hz.

2.1 - Connessione corrente alternata

Gli alimentatori NPZ80 e NSZ80 sono forniti di cavo di alimentazione con spina di tipo Europeo.
L'alimentazione in ingresso accettata e' di 220-240V oppure di 110-120V (se appositamente richiesta dall'utente).

Le connessioni previste sulla spina di alimentazione sono:

Filo	Giallo/Verde	=	Terra
Filo	Marrone	=	Alimentazione
Filo	Blu	=	Alimentazione

NB. Si raccomanda di connettere sempre il filo di terra.

2.2 - Accensione e Reset del sistema.

A connessioni ultimate prima di accendere l'alimentatore a s s i c u r a r s i nuovamente della correttezza dei collegamenti.

Quindi accendere l'alimentatore.
Se nel sistema e' compresa la scheda NEZ80 il LED presente sulla scheda indicante +5V si sara' acceso.

Premere il tasto RESET sulla tastiera per " risvegliare " il Nanocomputer.
Il display visualizzera' 0000 nei primi 4 digit da sinistra ed un valore casuale nei primi due digit da destra.

Il LED indicatore di PC dovra' rimanere acceso.

Se il display non si accendera' propriamente riprovare.

Persistendo il malfunzionamento chiedete informazioni al distributore locale piu' vicino;(v.lista in copertina).

3. Scheda CLZ80/NC - Descrizione circuitale.

Alla fine del presente manuale sono allegati lo schema logico-circuitale (fogli EEU00325 e EEU00326) e la disposizione componenti (foglio EEU00327) della scheda Nanocomputer CLZ80/NC.

Il primo foglio mostra la CPU, l'interfaccia del gamma bus, le memorie RAM e EPROM/ROM con i relativi circuiti di controllo e temporizzazione e la connessione dei pin per i connettori del gamma-BUS J1 e J2.

Il secondo foglio mostra le porte di ingresso/uscita, i circuiti di interfaccia (RS 232 , TTL , anello di corrente a 20mA , interfaccia registratore a cassette),il circuito di inizializzazione e di generazione del clock nonche' la connessione dei pin per i connettori d'ingresso-uscita J3, J5, J6, J7, e le tabelle indicanti la scelta dei ponticelli per le varie configurazioni possibili.

Nota: Ogni segnale proveniente dal gamma-BUS e' identificato dalla lettera B preposta al nome.

3.1 - CPU

Il bus degli indirizzi AD0 - AD15 in uscita dalla CPU-Z80 (Q29) e' connesso ai driver a tre stati T74LS365/7 (Q40/41/42).

La CPU locale e' in grado di pilotare le linee di indirizzo del gamma-BUS BAD0-BAD15 (BA0 - BA15 sulla scheda NEZ80 Scheda per esperimenti) quando il segnale $\overline{\text{BUSAK}}$ non e' vero, cioe' e' a zero logico.
Questo e' il caso del sistema Nanocomputer, tuttavia se la scheda fosse inserita in un sistema con piu' processori un altra CPU potrebbe accedere alla memoria locale dopo che il segnale $\overline{\text{BBUSRQ}}$ e' riconosciuto attivo dalla CPU locale ($\overline{\text{BUSAK}}$=vero).

Il bus dei dati D0 - D7 e' connesso ai driver T74LS365/7 (Q45/46/30) per i trasferimenti in ingresso e uscita.
Questi driver sono abilitati dai segnali $\overline{\text{DBOUT}}$ e $\overline{\text{DBIN}}$ che saranno descritti piu' avanti.
L'uscita $\overline{\text{HALT}}$ della CPU e' connessa al driver T74LS367 (Q39) sempre abilitato ed il segnale $\overline{\text{BHALT}}$ e' disponibile per il gamma-BUS su J1-18c .
La corrente in uscita e' sufficiente a pilotare una lampada LED per indicare lo stato di HALT del software.

L'ingresso $\overline{\text{BWAIT}}$ (attesa) della CPU arriva direttamente dal gamma-BUS pin J2-26c.
Un resistore (R52) di 910 ohm e' connesso fra l'ingresso e +5V in tal modo $\overline{\text{BWAIT}}$ puo' essere attivato solo da un dispositivo 'open- collector'.

L'ingresso $\overline{\text{BINT}}$ (interruzione) della CPU e' derivato dai segnali di interruzione dei PIO (Q2,Q3) tramite un'OR-filato' di dispositivo open-collector T7417 (Q32) o da un interruzione esterna proveniente dal gamma-BUS pin J2-24c; anche su tale ingresso e' presente un resistore di richiamo verso +5v di 910 ohm (R46).

L'ingresso BNMI (interruzione non mascherabile) proviene dal gamma-BUS J2-23c e dal segnale di BREAK tramite un driver open-collector T7417 (Q32).
Un resistore di richiamo di 910 ohm (R45) e' presente cosiche' BNMI potra' essere attivato da un dispositivo open-collector.
Il segnale BREAK e' generato dal tasto 'BREAK' della tastiera che connette l'ingresso J6-18C a massa tramite un condensatore da 47nF.
Questo assieme al resistore da 33 ohm (R32) genera un impulso di NMI (<400 ns) necessario alla CPU locale.

L'ingresso di RESET della CPU arriva dal gamma-BUS pin J1-28c,J6-4,J7-4.
Nel sistema Nanocomputer il tasto 'RESET' della tastiera connette J6-4 a massa tramite un condensatore da 47nF.
Questo impulso e' invertito da T74LS14 (Q11) ritardato dal condensatore da 1kpF (C61) e tramite l'inverter (Q11) uscita 4, inviato alla CPU come impulso di reset.
Altri segnali di reset possono essere inviati su questa linea tramite dispositivo open-collector.
La linea BRESET inoltre, e' protetta contro i transienti di sovratensione mediante i componenti (D8,C7,D9).

Per finire l'ingresso BBSRQ (richiesta del BUS) della CPU arriva dal gamma-BUS pin J2-25c.
Un resistore (R53) di 910 ohm di richiamo a +5V fa si che BBUSRQ possa essere attivato da un dispositivo open-collector.

Il clock della CPU con frequenza di 2,4576 MHZ arriva dal generatore di clock F4702 (Q34).

3.2 Interfaccia gamma-BUS

L'interfaccia del gamma-BUS e' un set completo di segnali di ingresso /uscita che abilitano la scheda ad essere usata in un sistema microcomputer orientato alla struttura gamma-BUS.
Per una completa definizione della connessione dei pin, per le specifiche dei segnali e delle temporizzazioni si veda il capitolo 5.1 .

I dispositivo T74LS365 e 367 (Q40,41,42,45,46) e (Q30,39) costituiscono i bus-driver per i segnali del gamma-BUS.
Il bus degli indirizzi BAD0 - BAD15 (BA0 - 15) ed i segnali di controllo di memoria e di I/O EMREQ, BIORQ, BRD, BWR, EM1, e BRFSH sono disabilitati solo dalla CPU locale uscita BUSAKin risposta ad un segnale di BBUSRQ.

Le uscite del bus dati BD0 - BD7 sono abilitati da DBOUT, mentre gli ingressi del bus dati sono abilitati da DBIN.
Questi due segnali sono ricavati dal decoder T74LS156 (Q12) che aggiudica a secondo delle richieste, interne o esterne, il verso di accesso al bus dati bidirezionale.

Il clock del sistema 0=2.4576 MHZ ed il segnale FCU (Φ/8= 307,2 KHZ), che e' usato nel sistema espanso (CLZ80) per pilotare l'alimentatore / convertitore DC-DC , sono disponibili sul gamma-BUS potenziati dal T74LS367 (Q 39).

L'uscita dell'abilitazione all'interruzione IEO pin J1-13c e' derivata dai due PIO-Z80 e puo' essere usata per estendere la catena di priorita' delle interruzioni (si veda il Manuale Tecnico Z80) fermo restando il PIO (Q2) con la priorita' piu' elevata seguito dal PIO (Q3).
La funzione dei segnali IOQ0 - 3, IOE0 - 3 e IOU0 - 3 viene descritta in seguito nel paragrafo decodifica e selezione dispositivi.

3.3 EPROM/ROM

La scheda Nanocomputer e' stata progettata per l'uso sia con memorie 1kx8 che 2kx8 per esempio del tipo 2708,6381,2716 o2316.
Possono essere usate sia EPROM richiedenti piu' di una alimentazione che ROM ad alimentazione singola +5v.
Le memorie EPROM o ROM vanno inserite sugli zoccoli (Q49-Q52),mentre le relative connessioni elettriche sono selezionate dai ponticelli (1-8).

La scheda CLZ80/NC viene fornita in due versioni,entrambi con NC-Z,una utilizzante due M2708 (1kx8) EPROM e l'altra utilizzante una M2316E (2kx8) ROM.
Le connessioni dei relativi ponticelli sono indicate nella tabella 1 dello schema elettrico pag.2.

Sulla stessa tabella viene evidenziato il tipo di dispositivo fornito ed i ponticelli gia' eseguiti in fase di collaudo.
Le memorie sono indirizzate dalle linee di indirizzo BAD0 - BAD10 ed i dati sono inviati sul bus-dati interno D0 - D7.
In tal modo un dispositivo esterno alla scheda (per esempio CPU o DMA) puo' leggere le memorie allo stesso modo della CPU locale (dopo ovviamente avere abilitato il bus-dati verso l'esterno).

3.4 Controllo delle ROM (ROM CONTROL)

La sezione A del decoder T74LS139 (Q38) e' utilizzata per selezionare, tramite i ponticelli (9 - 10), la partizione di indirizzi di ROM di 4k o la partizione di 8k.

La scheda CLZ80/NC viene fornita con la partizione 4k e tuttavia possibile cambiare partizione nel caso l'utente voglia inserire altra memoria EPROM.

L'indirizzo del segmento selezionato e' fissato dal selettore di memoria descritto in seguito.

3.5 RAM

La scheda CLZ80/NC e' fornita di RAM dinamiche ,8 chip di 4Kx1 bit ciascuno, con ciclo di rinfresco generato dalla CPU Z80 locale.

I dispositivi RAM M4027 (Q20-Q27) hanno gli indirizzi multiplexati dai segnali MA0 - MA5 (MA6 per dispositivi a 16k) provenienti dal controllo di RAM.
Queste linee forniscono due indirizzi alle RAM per ogni operazione di lettura o scrittura memoria; un indirizzo per le righe ed un indirizzo per le colonne di ogni singola memoria RAM.
La memorizzazione dell'indirizzo di riga e di colonna e' ottenuto dagli ingressi $\overline{RAS}$ e $\overline{CAS}$. Questi segnali sono generati dal circuito temporizzatore di RAM.
Gli ingressi di dati delle RAM sono connessi al bus-dati interno D0 - D7.
I dati in uscita M00 - M07 sono potenziati dai driver a tre stati T74LS367 (Q19 e Q28) ed inviati sul bus-dati interno.
Tali driver sono abilitati dal segnale $\overline{LETRA}$ (lettura RAM) generato dal temporizzatore di RAM.
La scrittura in RAM e' fatta tramite il segnale $\overline{WRM}$.

3.6 Temporizzatore di RAM (RAM TIMING)

In un sistema Z80 un accesso alla memoria e' segnalato da un uscita $\overline{MREQ}$ e dai segnali $\overline{RD}$ o $\overline{WR}$.
Utilizzando RAM dinamiche la CPUZ80 fornisce anche gli indirizzi di rinfresco su A0 - A6 ed un segnale di controllo $\overline{RFSH}$ che deve essere usato per abilitare solo gli indirizzi di riga della RAM (via $\overline{RAS}$).

La parte inferiore del circuito temporizzatore formata da Q33 genera il segnale $\overline{RAS}$ condizionato da PAGRA (Pagine di RAM) proveniente dal circuito selezione di memoria.
Dopo un ritardo dovuto al tempo di propagazione di T74L04 (Q36), T74LS00 (Q35) e due T74L04 (Q36) il segnale $\overline{SELAD}$ generato e' inviato al circuito di controllo della RAM per commutare gli indirizzi da Righe a Colonne sulle uscite MA0 - MA6 (7). Dopo un ulteriore ritardo , per dar modo ai 'multiplexer' (Q37, Q47) di commutare ed agli indirizzi di RAM di essere acquisiti (tempo di set-up), viene generato il segnale $\overline{ICAS}$.
Il segnale $\overline{ICAS}$ passa poi attraverso il multiplexer T74LS157 (Q37) arrivando ulteriormente ritardato alle RAM con il nome di segnale $\overline{CAS}$.
Se e' richiesto solo il ciclo di ingresso delle RAM allora il dispositivo 'NOR' T74LS02 (Q33) con in ingresso $\overline{BMREQ}$ e $\overline{BRFSH}$ genera il segnale in ingresso al dispositivo successivo (pin 2) il quale genera $\overline{RAS}$.
I segnali $\overline{SELAD}$ e $\overline{CAS}$ sono tuttavia inibiti dal segnale $\overline{BRFSH}$, attivo basso, applicato all'ingresso (pin 1) del dispositivo 'NAND' T74LS00 (Q35).

Per leggere i dati in uscita della RAM viene generato dal T74LS00 (Q35) pin 8 il segnale $\overline{LETRA}$.
Tale segnale e' derivato da $\overline{BRD}$ e da PAGRA ma inibito dalla presenza di PROM SEL.
La ragione di questo e' che PROM SEL viene generato dal circuito di controllo inizializzazione quando la PROM (Q48) di Reset invia i dati in uscita e tali dati non devono interferire con i dati di RAM.

La RAM e la PROM di Reset hanno lo stesso spazio indirizzi (0000-0002) cosi che il segnale di Reset che azzera il T74LS74 (Q4) genera PROM SEL (attivo alto) e commuta il flusso di dati attivi dalla RAM alla PROM di Reset.
Si noti che l'impulso derivato dal tasto di Reset e' breve per non perdere il contenuto delle memorie RAM.

Per finire il segnale di scrittura $\overline{WRM}$ generato dal circuito temporizzatore e' opportunamente ritardato per dar modo a dispositivi CPU o DMA esterni di scrivere nella RAM interna.
In questo caso i dati non saranno presenti sul bus-dati interno fintantoche' il decoder T74LS156 (Q12) non avra' attivato il segnale $\overline{DBIN}$ che permette il trasferimento dei dati da BD0 - BD7 in D0 - D7. Di conseguenza per superare il ritardo di decodifica ed assicurare ai dati in ingresso alla RAM un sufficiente tempo di 'set-up' il segnale $\overline{BWR}$ e' ritardato dal condensatore di 1000 pF (C8) posto all'uscita del dispositivo T74LS04 (Q36) pin 10.
Questo ritardo non ha effetto sul ciclo di scrittura della CPU interna ma ci sara' sempre un adeguato margine di tempo con la CPU Z80 operante a 2,5 MHz.

3.7 Controllo di RAM (RAM CONTROL)

I due multiplexer T74LS157 (Q37, Q47) commutano opportunamente (come visto in precedenza) le linee degli indirizzi BAD0 - BAD13 per l'indirizzamento delle Righe e delle Colonne della memoria RAM.
I ponticelli da 39 a 44 selezionano le linee di indirizzi corretti per le RAM da 4k o 16k in accordo con la tabella 4 dello schema elettrico pag.2.

3.8 Selezione di memoria (Memory Select)

La partizione base dello spazio degli indirizzi (64k per la CPU-Z80) e' fatta dal decoder T74LS139 (Q43) e dai ponticelli (11 - 26) associati nel modo indicato dalle tabelle 2,3,5 e 6.
Le due uscite PAGRA (Pagina di RAM) e PAGRO (Pagine di ROM) abilitano la memoria RAM in scrittura o lettura e la memoria ROM in lettura. Nel Nanocomputer la memoria EPROM o ROM e' allocata nella parte alta degli indirizzi ovvero tra 62k e 64k e la memoria RAM e' allocata nella parte bassa degli indirizzi tra 0 e 4k.

NB: Nel caso si effettui l'espansione della RAM a 16k il monitor NC-Z ad ogni inizializzazione (comando di RESET) esegue il test funzionale sempre solo delle celle di memoria riservate al monitor (85) da 0FAB a FFFF. Sia per la memoria EPROM o ROM che RAM n o n e' possibile avere un'allocazione diversa da quella prevista poiche' il software del monitor NC-Z prevede degli indirizzamenti solo in tale zona. L'utente puo',tuttavia, volere allocazioni di memoria diverse in qual caso non puo' utilizzare il monitor NC-Z.
Di seguito viene data una descrizione di tale possibilita'.

3.9 Selezione periferiche (Device Select)

La CPU-Z80 indirizza fino a 256 porte di Ingresso/Uscita (decodifica di BDA0 - 7) attivando i segnali $\overline{IORQ}$ (invece che $\overline{MREQ}$) e $\overline{RD}$ oppure $\overline{WR}$.
Questo significa che le porte di Ingresso/Uscita possono avere gli stessi indirizzi delle equivalenti locazioni di memoria (dove invece, il segnale $\overline{MREQ}$ e' attivo).
Sulla scheda CLZ80/NC e' fornita una decodifica parziale delle porte di Ingresso/Uscita.
I segnali $\overline{IOQ0}$ ÷ $\overline{IOQ3}$ e $\overline{IOE0}$ ÷ $\overline{IOE3}$, ottenuti dal decoder T74LS138 (Q53), rappresentano la decodifica delle linee di indirizzi BAD2 - BAD7 fornendo segnali attivi per gli indirizzi di periferica di pagina 0 nel campo da 0 a 31 come mostra la seguente tabella:

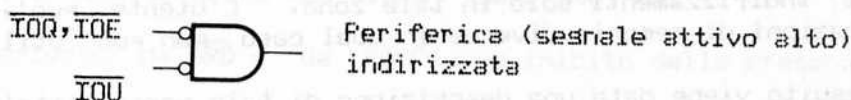
INDIRIZZO DI PERIFERICA	SEGNALE ATTIVO	INDIRIZZO DI PERIFERICA	SEGNALE ATTIVO
0-3	$\overline{IOQ0}$	16-19	$\overline{IOE0}$
4-7	$\overline{IOQ1}$	20-23	$\overline{IOE1}$
8-11	$\overline{IOQ2}$	24-27	$\overline{IOE2}$
12-15	$\overline{IOQ3}$	28-31	$\overline{IOE3}$

NOTA: Nel Nanocomputer NEZ80 non e' possibile selezionare una pagina diversa dalla pagina 0 poiche' in tal caso la tastiera-display non sarebbe piu' indirizzata dal software monitor NC-Z.
L'utente tuttavia , utilizzando un proprio software, potrebbe avere questa esigenza pertanto per mezzo di ponticelli in accordo con la tabella 7 e' possibile cambiare la pagina decodificata di 32 in 32 indirizzi.
La composizione interna delle pagine rimane comunque invariata.

I segnali $\overline{IOU0}$ ÷ $\overline{IOU3}$ forniti dal T74LS139 (Q38) sono la decodifica di BAD0 , BAD1 abilitati da $\overline{BIORQ}$ che in tal modo sono attivi solo nelle operazioni di I/O, ma non di memoria.
Questi segnali sono cosi decodificati , se $\overline{BIORQ}$ e' attivo:

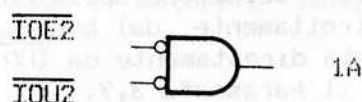
INDIRIZZO DI PERIFERICA	SEGNALE ATTIVO
0	$\overline{IOU0}$
1	$\overline{IOU1}$
2	$\overline{IOU2}$
3	$\overline{IOU3}$

Ovviamente ogni singolo indirizzo di periferica puo' essere decodificato da un semplice 'NOR' dispositivo a due ingressi:

$\overline{IOQ}$, $\overline{IOE}$ — $\overline{IOU}$ → Periferica (segnale attivo alto) indirizzata

Alcuni indirizzi tuttavia sono gia' assegnati ai dispositivi PIO-Z80 interni ed a una porta d'ingresso speciale ' Flag In ' come mostra la seguente tabella:

Indirizzi in esadecimale

	$\overline{IOU0}$	$\overline{IOU1}$	$\overline{IOU2}$	$\overline{IOU3}$
$\overline{IOQ0}$	00	01	02	FLAG IN
$\overline{IOQ1}$	PIO Data A	PIO Data B	PIO Cont. A	PIO Cont. B
$\overline{IOQ2}$	PIO Data C	PIO Data D	PIO Cont. C	PIO Cont. D
$\overline{IOQ3}$	0C	0D	0E	0F
$\overline{IOE0}$	10	11	12	13
$\overline{IOE1}$	14	15	16	17
$\overline{IOE2}$	18	19	1A	1B
$\overline{IOE3}$	1C	1D	1E	1F

Esempio: Per ottenere la decodifica dell'indirizzo 1A

3.10 Ingresso di FLAG (FLAG Input)

Una caratteristica particolare del progetto NEZ80 e quella di poter leggere lo stato delle linee di ' Ready ' dei PIO.

Le linee Ready dei PIO sono:

Segnale PIO	Segnale NEZ80	Segnale NEZ80
PIO (Q2) ARDY	FLPA	----
RD	FLPB	----
PIO (Q3) ARDY	FLPC	CRDY
BRDY	FLPD	DRDY

L' indirizzo di I/O 03H (H=Hexadecimal) e' decodificato dal dispositivo $\overline{'OR'}$ T74LS32 (Q16, pin 3) (foglio 2) e quindi in OR con il segnale $\overline{BRD}$ genera $\overline{LETF}$ (Lettura Flag).
Questo segnale e' applicato al driver a tre stati T74LS367 (Q28) e (Q19), (foglio 1) per poter inviare i segnali di 'flag' sul bus-dati durante il ciclo di lettura.

Flag	Bit del bus-dati
FLPA	D0
FLPB	D1
FLPC (CRDY)	D2
FLPD (CRDY)	D3

3.11 Porte d'Ingresso/Uscita (I/O) A-B-C-D

I due PIO-Z80 della scheda CLZ80/NC forniscono 32 linee di Ingresso/Uscita. Gli indirizzi di ingresso dei PIO per la selezione della porta A o B (PIO Q2) oppure C o D (PIO Q3) arrivano direttamente dal bus indirizzi BAD0-BAD1; l'abilitazione del dispositivo $\overline{CE}$ e' data direttamente da $\overline{IOQ1}$ e $\overline{IOQ2}$ mentre per gli indirizzi da 04H a 0BH si veda il paragrafo 3.9.

I dati di Ingresso/Uscita sono disponibili per il PIO (Q2) sul connettore J6 mentre per PIO (Q3) su J7.

Nel sistema Nanocomputer il PIO (Q2)/J6 e connesso alla tastiera .

La tastiera prevede, al suo interno, i seguenti collegamenti:

Segnale		Collegato a:	
J6-21	PA5	ICAS 1	J6-5
J6-19	PA6	ICAS 2	J6-6
J6-17	PA7	RXD	J6-7
J6-23	PA4	TXD	J6-3

3.12 Interruzione (Interrupt)

L'ingresso IEI (Ingresso di abilitazione alle interruzioni) del PIO (Q2) e' collegato a +5V; cosi facendo il suddetto dispositivo acquista la priorita' piu' elevata all'interno della catena delle interruzioni ('daisy chain'). IEO1 rappresenta l'uscita della catena delle interruzioni del primo dispositivo PIO (Q2).
I due segnali di uscita IEO1 e IEO2 sono combinati, mediante il dispositivo T74LS08 (Q15), per formare una singola uscita IEO.

Le uscite $\overline{INTAB}$ del PIO (Q2) e $\overline{INTCD}$ del PIO (Q3) sono combinate, dai T7417 (Q32), per attivare la linea $\overline{BINT}$.

3.13 Controllo registratori a cassetta (CASSETTE CONTROL)

L' accensione e lo spegnimento del motore nei registratori a cassette audio collegati viene controllato dai driver T7416 (Q8).
I segnali $\overline{ICAS}$ provengono dal PIO (Q2)porta A tramite la tastiera inserita nel connettore J6.

PIO (Q2)	Segnale	Cassette
PA 5	ICAS 1	$\overline{CA1ON}$
PA 6	ICAS 2	$\overline{CA2ON}$

Tuttavia solo $\overline{CA1ON}$ e' usato dal Nanocomputer.

Quando $\overline{CA1ON}$ e' basso il motore e' fermo.

3.14 Generatore di clock (CLOCK AND BAUD GENERATOR)

Il dispositivo oscillatore F4702 (Q34) genera il clock principale della scheda, segnale Φ, con frequenza di 2.4576 MHz.

Le uscite divise sono:

SICK - clock dell'interfaccia seriale di f=9.6kHz per 600 baud selezionati dai ponticelli 45 e 51. Viene usato dal Nanocomputer per generare un segnale audio di 4.8KHz.

FCU - Segnale utilizzato dal convertitore DC-DC (versione CLZ80) con f= 307KHz.

Il multiplexer T74LS157 (Q44), solo minimamente utilizzato su CLZ80/NC, e' usato per selezionare la velocita' di ricetrasmissione seriale (baud rate) fra 110 - 9600 baud e 600 baud per l'uscita audio quando la scheda e' trasformata nel microcomputer CLZ80.

3.15 Interfaccia seriale.

Si hanno tre tipi di interfaccia seriale:

- RS232
- anello di corrente a 20mA
- TTL

Queste interfaccie sono fornite dai circuiti T74LS14 (Q11), T74LS04 (Q9) e T74LS00 (Q10) per l'ingresso (ricezione); da T74LS04 (Q31,Q9), T74LS32 (Q13), T7416 (Q8) e BSX 36 (Q7) per l'uscita (trasmissione).

I ponticelli servono per scegliere l'interfaccia standard in accordo con la

tabella 8 dello schema elettrico pag. 2.

Un altra interfaccia e' data per le cassette audio.
Il segnale di uscita (UM1) di 4.8 KHz e' generato dal T74LS74 (Q17) dividendo per due il segnale SICK.
Tale segnale combinato con il segnale di trasmissione $\overline{TXD}$ e regolato in ampiezza dal potenziometro R54 rappresenta il segnale di trasmissione dati UM1 per cassette audio.
L'ampiezza nominale di UMI e' 200 mV p.p. su un'impedenza di 100 ohm (R10).

L'ingresso audio e' rappresentato dal circuito "OUTPUT RECORDER RECTIFIER" che e' un rivelatore di picco ad onda piena utilizzante due amplificatori operazionali L147 (Q5).
L'impedenza di ingresso e'circa 20 Kohm richiedendo un segnale d'ingresso di 300-400 mV.
Il segnale di dato ricevuto INM, in uscita dagli amplificatori (Q5),tramite il dispositivo 'Schmitt-trigger, T74LS14 (Q11) va al selettore dati T74LS00 (Q10).

Il segnale MAG che commuta il sistema da Ingresso/Uscita seriale a Cassette audio arriva dalla tastiera su J6-1. Segnale $\overline{MAG}$(basso)=Cassette audio.

3.16 Controllo di inizializzazione (INITIALIZATION CONTROL)

Al fine di fare eseguire alla CPU-Z80 un istruzione di salto all'indirizzo d'ingresso del programma NC-Z quando il tasto di RESET e' premuto, e' stato memorizzato nella PROM 6331 (Q48) il codice operativo C302FC (FC02=indirizzo di partenza).
Nota: Tale inizializzazione si e' resa necessaria avendo allocato il monitor nella parte alta degli indirizzi. Quando il segnale $\overline{RESET}$e' attivo lo 'shift-register' a due stadi formato dal T74LS74 (Q4) e' azzerato e la PROM (Q48) e' abilitata (segnale $\overline{PROMSEL}$ basso).
Il contenuto delle locazioni 0, 1 e 2 di (Q48) e' letto dalla CPU sul bus-dati in tre successive operazioni di acquisizione codice operativo (3 cicli M1) eseguendo di conseguenza un salto al programma NC-Z.
Dopo che tre cicli di M1 sono avvenuti, lo zero presente sul pin 2 di (Q4) si sara' spostato lungo lo 'shift register' sino all'uscita pin 9 e la PROM (Q48) verra' disattivata (segnale $\overline{PROMSEL}$ alto).

4 - CONNETTORI, CAVI e PONTICELLI della scheda CLZ80/NC

4.1 CONNETTORI

La scheda CLZ80/NC Nanocomputer ha 6 connettori multipin come mostrato nello schema EEU00327.
I due connettori in basso J1 e J2 sono a standard Europeo con due righe di pin (a e c) ciascuna di 32 pin.
Questi connettori sono utilizzati per l'interfaccia gamma-BUS e l'alimentazione.

Sulla scheda in alto sono presenti 4 connettori e' precisamente:

J3 - Ingresso/Uscita cassette audio con relativi segnali di controllo.

J5 - Interfaccia per terminale seriale.

J6 - Ingresso/Uscita PIO (Q2) con segnali di controllo del sistema. La tastiera- display e' connessa a questo connettore.

J7 - Ingresso/Uscita PIO (Q3) con segnali di controllo del sistema Nell'utilizzo della scheda per esperimenti NEZ80 i segnali del connettore J7 sono connessi, tramite cavo piatto, al connettore J4 della scheda NEZ80.

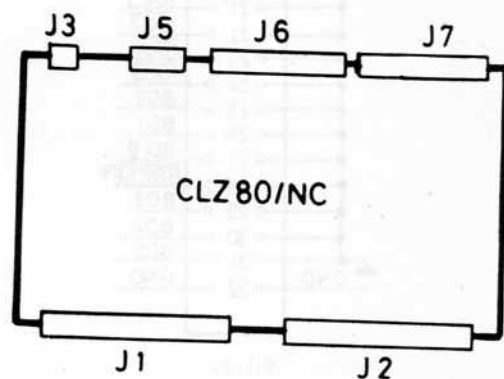



Fig.4.1 - Connettori della scheda CLZ80/NC

Per ciascun connettore sono disponibili all'utente dei kit completi di connettori femmina e relativi pin da montare nelle versioni seguenti:

CONNETTORE	KIT	DESCRIZIONE	
J1, J2	C2Z80	due connettori femmina	Tipo Wire-Wrap
	C3Z80		" PCB
	C4Z80		" a saldare
J3, J5 J6, J7	C1Z80	Set di connettori femmina per J3 - J7 con 120 pin da montare.	

Di seguito vengono presentati i segnali disponibili su tutti i connettori della scheda .

Connettore:

J1
a
c
+5V
+5V
BAD3
BADØ
BAD4
BAD5
BAD2
BAD1
BFCU
BRFSH
BAD10
IEI
IEO
DEI
DEO
BM1
+12V
+12V
BHALT
BBUSAK
IOU3
IOU2
IOU1
IOU3
BD2
BD1
BD Ø
BRESET
BD3
BD4
BD5
GND
GND
S-3456

J2
a
c
+5V
+5V
-12V
-12V
-5V
-5V
IOQ3
IOE Ø
BAD13
IOE1
IOE2
BD7
IOE3
BD6
BRD
BWR
+12V
+12V
BAD15
BAD14
BAD12
BIORQ
BMREQ
BNMI
BINT
BBUSRQ
BWAIT
BAD11
BAD9
BAD7
BAD6
BAD8
GND
GND
S-3456

J3
IM1
UM1
CA1ON
CA2ON
S-3457

J5
TXRS
RTXTTY
TXTTY
SICK
+5V
RRXTTY
TXTTL
RXTTL
RXTTY
RXRS
S-3458

J6

1 MAG
2
3 TXD
4 BRESET
5 ICAS1
6 ICAS2
7 RXD
8 DTR
9 -12V
10
11 +5V
12
13 +12V
14
15 BREAK
16
17 PA7
18 PB7
19 PA6
20 PB6
21 PA5
22 PB5
23 PA4
24 PB4
25 PA3
26 PB3
27 PA2
28 PB2
29 PA1
30 PB1
31 PAØ
32 PB0
33 (ASTB) STPA
34
35 (BSTB) STPB
36
37 (ARDY) FLPA
38
39 (BRDY) FLPB
40

S-3459

J7

1 MAG
2
3 TXD
4 BRESET
5 ICAS1
6 ICAS2
7 RXD
8
9 -12V
10
11 +5V
12
13 +12V
14
15 BREAK
16
17 PC7
18 PD7
19 PC6
20 PD6
21 PC5
22 PD5
23 PC4
24 PD4
25 PC3
26 PD3
27 PC2
28 PD2
29 PC1
30 PD1
31 PCØ
32 PDØ
33 (CSTB) STPC
34
35 (CSTB) STPD
36
37 (CRDY) FLPC
38
39 (DRDY) FLPD
40

S-3460

4.2 CAVI

Alcuni cavi sono disponibili per la connessione della scheda CLZ80/NC a periferiche.

W15Z80 - Cavo per connettere i segnali del PIO (porte C e D) della CLZ80/NC (J7) al connettore (J4) del NEZ80.

W10Z80 - Cavo per connettere un registratore a cassette. RCZ80 al connettore (J3) della CLZ80/NC.

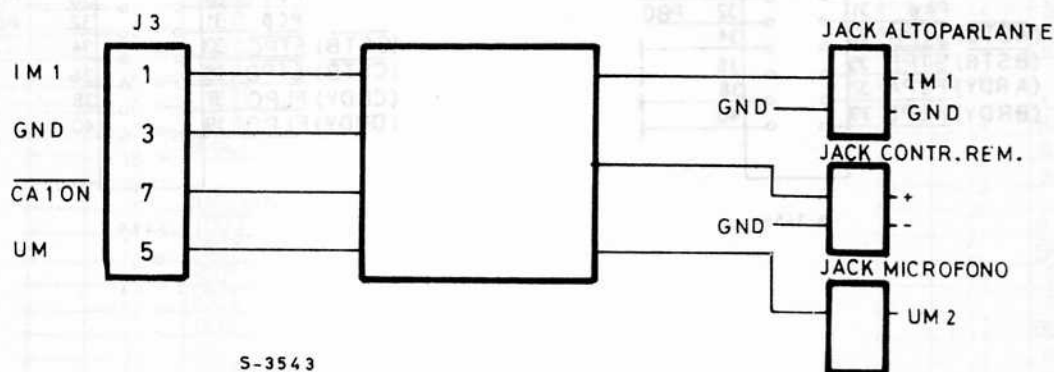



Fig.4.G - Schema di connessione W10Z80.

Il cavo di connessione per interfaccia RS232C standard EIA non e' disponibile, tuttavia lo schema di connessione e' il seguente:

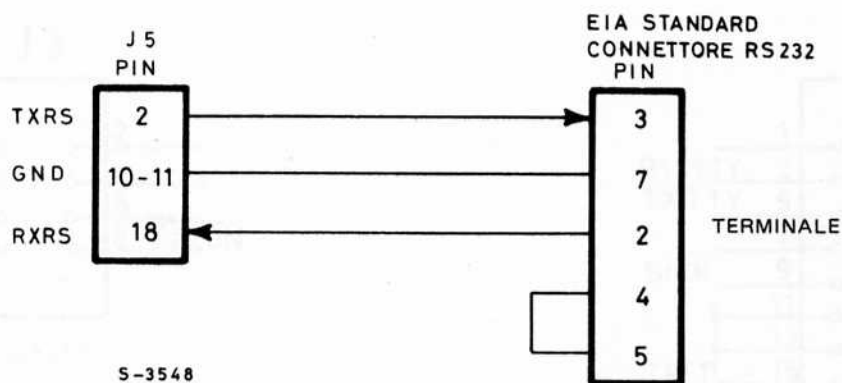



Fig.4.J - Schema di connessione RS232 standard

Il cavo di collegamento della CLZ80/NC (J5) con un terminale (TTY) ad anello di corrente 20mA deve avere la seguente connessione:

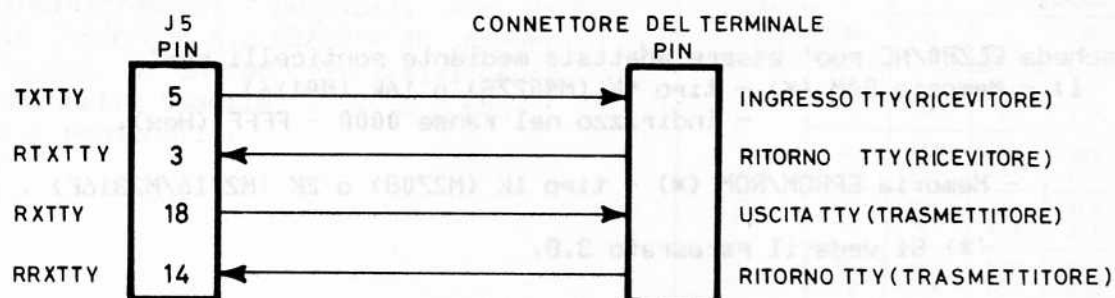



Fig.4.K - Schema di connessione anello di corrente 20mA

Il cavo di collegamento della CLZ80/NC (J5) verso una linea a livelli TTL ha la seguente connessione:

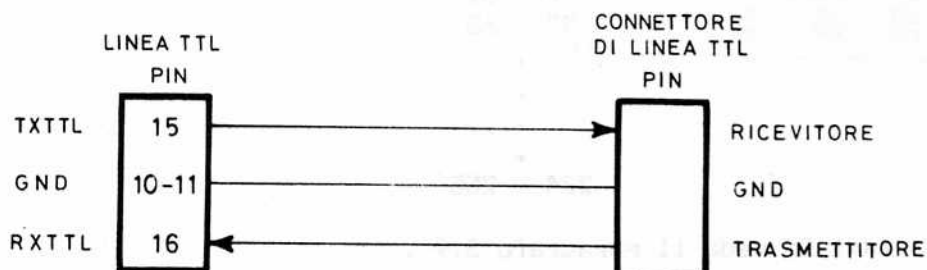



Fig.4.L - Schema di connessione interfaccia TTL

4.3 PONTICELLI

La scheda CLZ80/NC puo' essere adattata mediante ponticelli per:

1) - Memoria RAM (*) - tipo 4K (M4027S) o 16k (M4116) .
   - indirizzo nel range 0000 - FFFF (Hex).

   - Memoria EPROM/ROM (*) - tipo 1k (M2708) o 2K (M2716/M2316E) .

   (*) Si veda il paragrafo 3.8.

2) - Comunicazioni seriali standard tipo:

   - RS232C
   - Anello di corrente 20mA
   - TTL

3) - Generazione di blocchi di 32 indirizzi di I/O nel range: (**).

0 - 31
32 - 63
.
.
.
.
224 - 255

(**) Si veda il paragrafo 3.9 .

Uno schema della scheda CLZ80/NC che mostri la posizione dei ponticelli si trova alla fine di questo manuale tecnico.

I ponticelli possono essere fatti semplicemente con una goccia di stagno nel punto indicato dal numero del ponticello,togliendo pero' i ponticelli vecchi che non interessano la modifica.

Memoria EPROM/ROM

Le memorie EPROM/ROM utilizzate sulla CLZ80/NC sono le 1K M2708 oppure le 2K M2316E,od altre indicate nella tabella, sia per i programmi NC-Z che NE-Z.
I ponticelli per queste EPROM/ROM sono mostrati nella tabella 1

TABELLA 1

EPROM/ROM UTILIZZATO	PONTICELLI
2708	1 - 3 - 6
6381	2 - 4 - 7
2716-1(2)	68 - 5 - 8
2716	1 - 5 - 8
2316E	1 - 5 - 8

Indirizzamento di memoria EPROM/ROM

Gli indirizzamenti possibili per le memorie EPROM/ROM 4 x M2708 = 4K oppure 4 x M2316 = 8K ad altri tipi sono mostrati nelle tabelle 2 e 3 con i relativi ponticelli.

TABELLA 2

PARTIZIONE 4K EPROM PROM/ROM INIZIO-FINE		PONTICELLI 9 26	9 25	9 24	9 23
PONTICELLI	30 15	ØK 4K	4K 8K	8K 12K	12K 16K
	30 16	16K 20K	20K 24K	24K 28K	28K 32K
	30 17	32K 36K	36K 40K	40K 44K	44K 48K
	30 18	48K 52K	52K 56K	56K 60K	60K 64K

TABELLA 3

PARTIZIONE 8K EPROM PROM/ROM INIZIO-FINE		PONTICELLI 15 10	16 10	17 10	18 10
PONTICELLI	27 30	ØK 8K	16K 24K	32K 40K	48K 56K
	28 29	8K 16K	24K 32K	40K 48K	56K 64K

Memoria RAM

Le memorie RAM utilizzate nella CLZ80/NC sono le 4K M4027S, tuttavia possono essere sostituite delle 16K M4116 modificando i ponticelli come indicato nella tabella 4.

TABELLA 4

RAM UTILIZZATA		PONTICELLI	FORMATO
DISPOSITIVO	4027	39 - 40 - 41	4K x 8
	4116	42 - 43 - 44	16K x 8

Indirizzamento di memoria

Gli indirizzamenti possibili per le memorie RAM da 4K o da 16K sono indicati nelle tabelle 5 e 6 con i relativi ponticelli.

TABELLA 5

PARTIZIONE 4K-RAM INIZIO/FINE		PONTICELLI			
		22	21	20	19
PONTICELLI	11	ØK/4K	4K/8K	8K/12K	12K/16K
	12	16K/20K	20K/24K	24K/28K	28K/32K
	13	32K/36K	36K/40K	40K/44K	44K/48K
	14	48K/52K	52K/56K	56K/60K	60K/64K

TABELLA 6

PARTIZIONE 16K-RAM	PONTICELLI			
	31 11	31 12	31 13	31 14
INIZIO/FINE	ØK/16K	16K/32K	32K/48K	48K/64K

Indirizzamento Ingresso/Uscita (I/O)

La scheda puo' generare indirizzi di I/O parzialmente decodificati in blocchi di 32 indirizzi.
Ciascun blocco puo' essere selezionato mediante ponticelli come indicato nella tabella 7.

TABELLA 7

INDIRIZZO INIZIALE PAGINA		PONTICELLI			
		36-37	34-38	36-66	35-38
PONTICELLI	32	Ø	32	64	96
	33	128	160	192	224

Ingresso/Uscita seriale

Il tipo di interfaccia seriale standard puo' essere selezionato mediante ponticelli come indicato nella tabella 8.

TABELLA 8

INTERFACCIA SERIALE ASCII	LINEA DI TRASMISSIONE TIPO		
	TTY	RS232	TTL
PONTICELLI	65 54 58	60 54 59	53 58
INGRES.SERIALE	RXTTY	RXRS	RXTTL
RITORNO	RRXTTY	GND	GND
USCITA SERIALE	TXTTY	TXRS	TXTTL
RITORNO	RTXTTY	GND	GND

La velocita' di trasmissione seriale puo' essere selezionata via software scrivendo in una determinata locazione di memoria come indicato nella seguente tabella:

Baud rate	0FAE	0FAF
600 (*)	9A	00
300	35	01
110	55	03

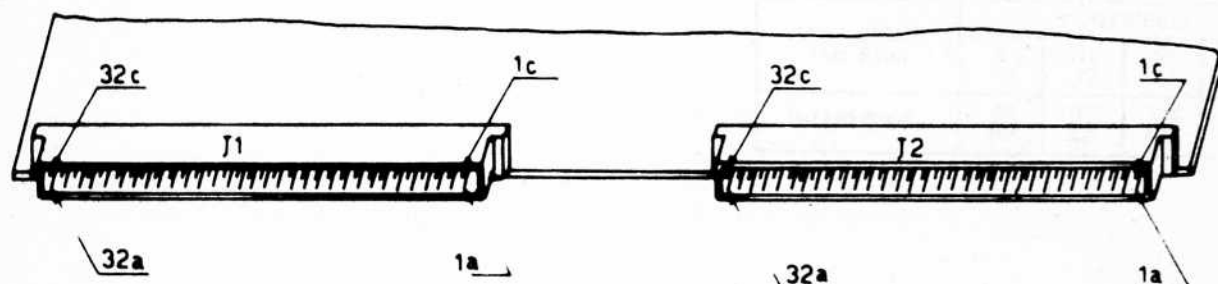
(*) Valore presettato a seguito del comando RESET.

Il segnale audio generato dal 'Baud rate generator' F4702 (Q34) e' fissato dai ponticelli 45 e 51 all'ingresso del multiplexer T74LS157 (Q44) ad una frequenza di 9.6 KHz per il segnale SICK ed ad una frequenza di 4.8 KHz per il segnale audio di uscita..

5. SPECIFICHE DEI SEGNALI della scheda CLZ80/NC

Il seguente capitolo identifica ogni connessione esterna della scheda CLZ80/NC del Nanocomputer NBZ80, definisce tutti i segnali presenti sui connettori della scheda , da le caratteristiche elettriche e le regole di interconnessione.

5.1 Interfaccia Gamma - BUS (Y - BUS)

I segnali d'interfaccia gamma - BUS sono disponibili sui connettori J1 e J2.

Questo bus d'interfaccia e' stato progettato per fornire caratteristiche ottimali di rumore e di velocita' nonche' ampia adattabilita' nel caso di espandibilita' del sistema a microcomputer.

Molti pin dei connettori J1 e J2 sono collegati a massa per schermare i segnali del bus quando tale bus e' esteso su una " mother board" (scheda base di un cestello con connettori per piu' schede). Ogni segnale in tal modo, viene ad essere schermato da due linee di massa.

Le tabelle seguenti mostrano la connessione dei pin con i nomi dei segnali, il tipo (Ingresso o Uscita) e la categoria.

Connettore J1

Riga 'a'				Riga 'c'			
PIN	SEGNALE	I/U	CAT	PIN	SEGNALE	I/U	CAT
1	+5V	U	-	1	+5V	U	-
2	GND	-	-	2	BAD3	I/U	1
3	GND	-		3	BAD0	I/U	1
4	GND	-		4	BAD4	I/U	1
5	GND	-		5	BAD5	I/U	1
6	GND	-		6	BAD2	I/U	1
7	GND	-		7	BAD1	I/U	1
8	GND	-		8	BFCU	I/U	3
9	GND	-		9	N.C.	-	-
10	GND	-		10	N.C.	-	-
11	GND	-		11	$\overline{\text{BRFSH}}$	U	1
12	GND	-		12	BAD10	I/U	1
13	IEI	I	5 (*)	13	IEO	U	5
14	DEI	I	5 (*)	14	DEO	U	5 (*)
15	GND	-	-	15	BM1	U	1
16	+12V	U	-	16	+12V	U	-
17	GND	-	-	17	BO	U	3
18	GND	-		18	$\overline{\text{BHALT}}$	U	3
19	GND	-		19	N.C.	-	-
20	GND	-		20	$\overline{\text{BBUSAK}}$	U	3
21	GND	-		21	$\overline{\text{IOU3}}$	U	5
22	GND	-		22	$\overline{\text{IOU2}}$	U	5
23	GND	-		23	$\overline{\text{IOU1}}$	U	5
24	GND	-		24	$\overline{\text{IOU0}}$	U	5
25	GND	-		25	BD2	I/U	2
26	GND	-		26	BD1	I/U	2
27	GND	-		27	BD0	I/U	2
28	GND	-		28	$\overline{\text{BRESET}}$	I	4
29	GND	-		29	BD3	I/U	2
30	GND	-		30	BD4	I/U	2
31	GND	-		31	BD5	I/U	2
32	0.V	U	-	32	0.V	U	-

Connettore J2

Riga 'a'				Riga 'c'			
PIN	SEGNALE	I/U	CAT.	PIN	SEGNALE	I/U	CAT.
1	+5V	I	–	1	+5V	I	–
2	GND	–	–	2		–	
3	–12V	I	–	3	–12V	I	–
4	–5V	I	–	4	–5V	I	–
5	GND	–		5	$\overline{\text{IOQ3}}$	U	5
6	GND	–	–	6	$\overline{\text{IOE0}}$	U	5
7	GND			7	BAD13	I/U	1
8	GND			8	$\overline{\text{IOE1}}$	U	5
9	GND			9	$\overline{\text{IOE2}}$	U	5
10	GND			10	BD7	I/U	2
11	GND			11	$\overline{\text{IOE3}}$	U	5
12	GND			12	BD6	I/U	2
13	GND			13	$\overline{\text{BRD}}$	I/U	1
14	GND			14	$\overline{\text{BWR}}$	I/U	1
15	GND			15	N.C.	–	
16	+12V	I	–	16	+12V	I	–
17	GND	–	–	17	BAD15	I/U	1
18	GND			18	BAD14	I/U	1
19	GND			19	BAD12	I/U	1
20	GND			20			
21	GND			21	$\overline{\text{BIORQ}}$	U	1
22	GND			22	$\overline{\text{BMREQ}}$	U	1
23	GND			23	$\overline{\text{BNMI}}$	I	4
24	GND			24	$\overline{\text{BINT}}$	I	4
25	GND			25	$\overline{\text{BBUSRQ}}$	I	4
26	GND			26	$\overline{\text{BWAIT}}$	I	4
27	GND			27	BAD11	I/U	1
28	GND			28	BAD9	I/U	1
29	GND			29	BAD7	I/U	1
30	GND			30	BAD6	I/U	1
31	GND			31	BAD8	I/U	1
32	0.V	I	–	32	0.V	I	–

Nota: GND = Segnale di massa/schermo.
0.V = massa o comune dell'alimentatore.
(*) I segnali IEI, DEI e DEO sono connessi permanentemente a +5V sulla scheda CLZ80/NC.
N.C. = Nessuna connessione.

5.1.1 Descrizione segnali dell'interfaccia gamma-BUS.

Ogni segnale indicato con una barra (es. $\overline{\text{BNMI}}$) e' attivo basso, tutti gli altri sono attivi alti.
Per ulteriori informazioni sui segnali legati al microprocessore Z80-CPU si veda il Manuale Tecnico dello Z80 CPU.

BAD0 - 15 Bus degli indirizzi; ingressi-uscite.
16 linee pilotate da circuiti 'buffer a 3-stati' i quali possono essere solo disabilitati dal segnale $\overline{\text{BUSAK}}$ (riconoscimento BUS) generato dalla CPU locale. Gli Ingressi di indirizzo esterni possono essere applicati solamente dopo una risposta ai segnali $\overline{\text{BUSRQ}}$ (richiesta di BUS) e $\overline{\text{BUSAK}}$. Le linee BAD0-7 possono essere usate per l'indirizzam to di periferiche (256 max) in alternativa alla decodifica parziale IOE, IOQ e IOU. Le linee BAD0-6 inoltre, portano gli indirizzi di rinfresco delle memorie dinamiche quando il segnale $\overline{\text{BRFSH}}$ e' attivo.

BD0 - 7 Bus dei dati; ingressi-uscite.
8 linee con circuiti bidirezionali 'buffer a 3-stati' abilitati dai segnali DBOUT e DBIN. Su queste linee e' concentrato tutto il traffico dei dati relativo al sistema.

$\overline{\text{BM1}}$ Ciclo Primo di macchina; uscita.
Linea pilotata da un circuito 'buffer a 3-stati' che puo' essere disabilitato solo dal segnale $\overline{\text{BUSAK}}$ attivo ed indica il ciclo di aquisizione del codice operativo dalla memoria per lo Z80-CPU.

$\overline{\text{BMREQ}}$ Richiesta di memoria; uscita.
Linea pilotata da un circuito 'buffer a 3-stati' che puo' essere disabilitata solo dal segnale $\overline{\text{BUSAK}}$ attivo ed indica una richiesta di accesso alla memoria per un operazione di lettura o scrittura. Quando $\overline{\text{BMREQ}}$ e' attivo le linee BAD0-15 portano un indirizzo valido per la memoria.

$\overline{\text{BIORQ}}$ Richiesta di Ingresso-Uscita; uscita.
Linea pilotata da un circuito 'buffer a 3-stati' che puo' essere disabilitata solo dal segnale $\overline{\text{BUSAK}}$ attivo ed indica una richiesta di accesso alla periferica per un operazione di scrittura o lettura. Quando $\overline{\text{BIORQ}}$ e' attivo le linee BAD0-7 portano l'indirizzo valido della periferica e IOE, IOQ, IOU portano un indirizzo valido parzialmente decodificato per una porta I/O (periferica).

$\overline{\text{BRD}}$ Lettura dati; uscita.
Linea pilotata da un circuito 'buffer a 3-stati' che e' solo disabilitata dal segnale $\overline{\text{BUSAK}}$ attivo ed indica che la memoria o la porta I/O dovra' inviare dati sul bus-dati affinche' la CPU locale possa leggerli.

$\overline{\text{BWR}}$ Scrittura dati; uscita.
Linea pilotata da un circuito 'buffer a 3-stati' che e' solo disabilitata dal segnale $\overline{\text{BUSAK}}$ attivo ed indica che il bus dei dati fornira' i dati che la CPU locale scrivera' in memoria o sulla periferica. Tuttavia per questo segnale c'e' un piccolo problema di temporizzazione, $\overline{\text{BWR}}$ diventa attivo circa 60ns prima che i dati sul

bus dei dati siano validi. Si veda la temporizzazione nel paragrafo 5.1.4.

$\overline{BRFSH}$ Rinfresco ; uscita.
Linea pilotata da un circuito 'buffer a 3-stati' che e' solo disabilitata dal segnale $\overline{BUSAK}$ attivo. Indica che sulle linee BAD0-6 (BAD7 = 1) e' presente un indirizzo di rinfresco valido per le RAM dinamiche. Durante il ciclo di rinfresco anche il segnale $\overline{BMREQ}$ e' attivo.

$\overline{BHALT}$ Alt ; uscita.
Linea pilotata da un circuito 'buffer'. Diventa attiva dopo che la CPU locale ha eseguito una istruzione di HALT software.

$\overline{BWAIT}$ Attesa ; ingresso.
Segnale d'ingresso diretto alla CPU (ingresso $\overline{WAIT}$) con una resistenza di 910 ohm verso +5V.

$\overline{BINT}$ Interruzione ; ingresso.
Segnale d'ingresso diretto alla CPU (ingresso $\overline{INT}$) con una resistenza di 910 ohm verso +5V.

$\overline{BMNI}$ Interruzione non mascherabile ; ingresso.
Segnale d'ingresso diretto alla CPU (ingresso $\overline{NMI}$) con una resistenza di 910 ohm verso +5V.

$\overline{BRESET}$ Azzeramento ; ingresso.
Segnale di azzeramento della scheda CLZ80/NC che azzera la CPU, ingresso Reset, ed attiva il circuito di controllo inizializzazione per un salto all'indirizzo iniziale (entry point) del programma NC-Z

$\overline{BBUSRQ}$ Richiesta bus ; ingresso.
Segnale d'ingresso diretto alla CPU (ingresso $\overline{BUSRQ}$) con una resistenza di 910 ohm verso +5V.

$\overline{BBUSAK}$ Riconoscimento bus ; uscita.
Linea pilotata da un circuito 'buffer' proveniente direttamente dalla CPU uscita $\overline{BUSAK}$. Il segnale $\overline{BUSAK}$ disabilita i 'buffer a 3-stati' di BAD0-15, $\overline{BMREQ}$, $\overline{BIORQ}$, $\overline{BRD}$, $\overline{BM1}$ e $\overline{BRFSH}$ cosiche' un circuito esterno puo' accedere alla memoria od alla porta I/O della scheda.

BΦ Clock ; uscita .
Linea pilotata da un circuito ' buffer'. Frequenza del clock 2,4576 MHz.

BFCU Clock / 8 ; uscita.
Linea pilotata da un circuito 'buffer'. Rappresenta il clock di comando del convertitore DC-DC (non presente sulla scheda CLZ80/NC con frequenza di 307KHz.

$\overline{IOQ0 \div 3}$

$\overline{IOE0 \div 3}$ Decodifica periferiche ; uscita.
Linee di indirizzo BAD0-7 decodificate che forniscono blocchi di 32

Indirizzi di I/O quando vengono usate con $\overline{\text{IOU0 - 3}}$.

$\overline{\text{IOU0 - 3}}$ Decodifica periferiche ; uscite.
Linee di indirizzo decodificate e temporizzate da $\overline{\text{BIORQ}}$; usate con $\overline{\text{IOQ0 - 3}}$ o $\overline{\text{IOE0 - 3}}$ per generare gli indirizzi di periferiche.

IEI Abilitazione interruzione ; ingresso.
Ingresso del PIO (Q2) pin IEI connesso internamente a +5V. In tal modo viene data alla porta A del PIO (Q2) la priorita' piu' alta nella catena di priorita'delle interruzioni.

IEO Abilitazione interruzione; uscita.
Uscita derivata dal PIO (Q2) e (Q3) usata per estendere la catena di proprieta' delle interruzioni.

DEI , DEO Abilitazione bus.
Questi segnali sono usati solo in sistemi piu' grandi per formare una catena di priorita' delle richieste di bus. Sulla scheda CLZ80/NC sono connessi a +5V.

5.1.2. Caratteristiche elettriche del gamma-BUS

Come e' mostrato nelle tabelle precedenti a ciascun segnale del gamma-BUS e' stata assegnata una categoria che corrisponde alle caratteristiche elettriche .

La seguente tabella riporta i valori di corrente di pilotaggio e di carico per ogni categoria.

Cat.	Descrizione	Carico di uscita		Carico d'ingresso		'3o-stato'		Unita'
		GIol	GIoh	GIil	GIih	GIzol	GIzoh	
1	BUS indirizzi T74LS367 driver	(1) 23	-2.6	-0.8	(2) 0.2	-0.02	0.02	mA
2	BUS dati driver bidir.T74LS367	(3) 23.5	-2.6	(4) -0.42	0.06	-		mA
3	Uscite con buffer T74LS367	23	-2.6	-	-	-	-	mA
4	Ingressi res. 910 ohm vs +5V	-	-	-4.6	-	-	-	mA
5	Uscite decoder T74LS138/139	7.5	-0.4	-0.36	-	-	-	mA

Note : GIol = Corrente assorbita dall'uscita nello stato basso.
GIoh = Corrente fornita dall'uscita nello stato alto.
GIzol , GIzoh = Corrente fornita o assorbita dall'uscita disabilitata nel '3o-stato'.
IIL = Corrente fornita da un ingresso con applicata una tensione di stato basso.
IIH = Corrente assorbita da un ingresso con applicata una tensione di stato alto.
I valori di corrente sono massimi.

(1) $\overline{\text{BUSAK}}$ non attivo (3) Dati in uscita
(2) BUSAK attivo (4) Dati in ingresso

\- Significa corrente in uscita dal pin.
\+ Significa corrente in ingresso dal pin.

I livelli di tensione per tutti i segnali del gamma- BUS sono:

Uscita	livello alto > 2.4V livello basso < 0.5V
Ingresso	livello alto > 2.0V livello basso < 0.8V

Descrizione delle categorie:

cat.1 Raggruppa il bus-Indirizzi ed alcuni segnali di controllo.
Uscita attiva (quando $\overline{BUSAK}$ non e' attivo): queste linee uscenti dai 'buffer' T74LS367 forniscono una corrente di pilotaggio leggermente ridotta, come mostra la tabella, dovendo pilotare anche dei circuiti interni.

Ingresso attivo (quando $\overline{BUSAK}$, e' attivo) : queste linee pilotano dall'esterno le linee di indirizzo delle ROM, RAM e decoder di selezione periferiche. BAD0-1 pilotano anche i due PIO (Q1) e (Q2). Il carico corrispondente e' mostrato in tabella.

cat.2 Il bus-Dati.
Queste linee bidirezionali presentano come carico in ingresso, nella condizione di ingresso attivo, la corrente di ingresso di un T74LS367 piu'la corrente di 'leakage' di uscita del corrispondente tenuto nel '3o-stato'. Nella condizione di uscita attiva la pilotabilita' e' mostrata dalla tabella.

cat.3 Uscite dei 'driver ' T74LS367 che forniscono la piena pilotabilita'
Queste linee sono sempre attive.

cat.4 Ingressi da usarsi in OR-cablato con 910 ohm di resistenza verso +5V sia' presente sulla scheda CLZ80/NC. I dispositivi pilotanti tali linee devono essere a collettore aperto.

cat.5 Uscite dirette, non potenziate, dai decoder T74LS138 e 139 che possegгono una minor pilotabilita'.

Nell'uso dei segnali del gamma-BUS i valori di corrente di carico o di pilotaggio ed i livelli logici di tensione devono essere rispettati per un corretto funzionamento.

5.1.3.- Regole di interconnessione per i segnali gamma-BUS

In questo paragrafo vengono date le lunghezze massime raccomandate per le connessioni fra circuiti pilotanti e riceventi nell'estensione del gamma-BUS al fine di rendere minime le riflessioni ed i disturbi accoppiati sulle linee di connessione.
I modi di collegamento sono i seguenti:

1) Collegamenti con linee in aria ad unico ritorno di massa (GND).

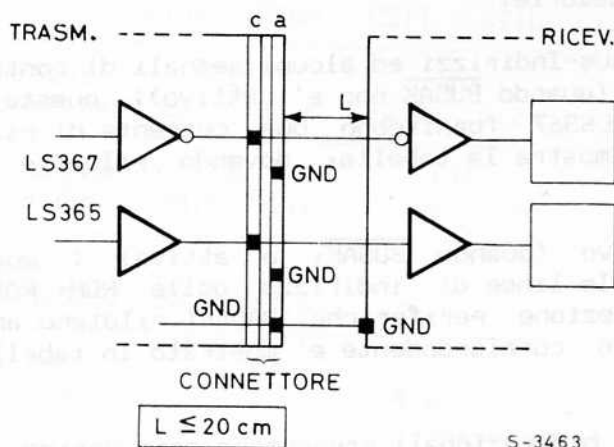



Fig.5.A - Schema di estensione Y=BUS con linee in aria.

E' il caso di collegamenti fatti sulla basetta per esperimenti della scheda NEZ80. Il segnale BФ (clock) deve sempre essere schermato (modo 2) per un sicuro funzionamento.

2) Collegamenti con linee "twistate" (doppino segnale-massa)

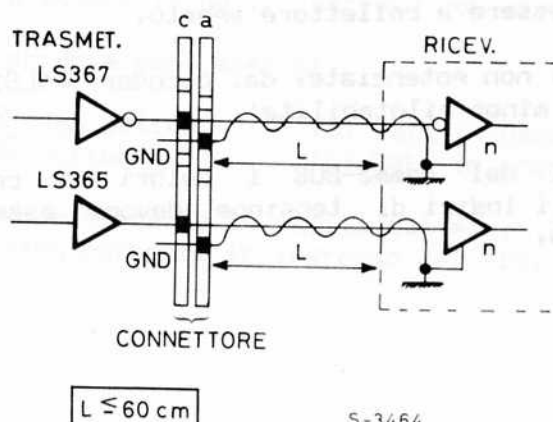



Fig.5.B - Schema di estensione Y-BUS con linee 'twist'.

La massa del doppino in arrivo deve essere connessa alla massa del circuito ricevente.

Il numero massimo dei riceventi collegabili e' funzione delle caratteristiche elettriche.

3) Collegamenti con linee terminate.

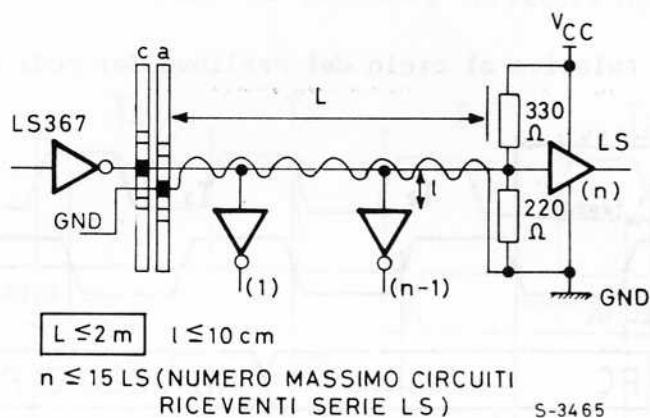



Fig.5.C - Schema di estensione Y-BUS con linee terminate

La terminazione deve essere posta sul ricevente piu' lontano.
Il doppino puo' anche collegare i vari riceventi a poligonale.

4) Collegamenti a OR-cablato

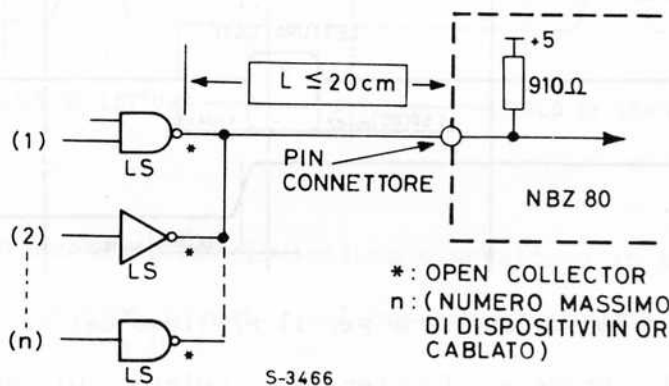



Fig.5.D - Schema di connessione in OR-cablato

Nota: Per lunghezze di interconnessione maggiori riferirsi al modo 2.

5.1.4- Temporizzazioni dei segnali gamma-BUS.

Le temporizzazioni dei segnali del gamma-BUS non sono uguali alle temporizzazioni della CPU Z80 per la presenza dei circuiti di pilotaggio (buffer) e decoder.

Temporizzazione relativa al ciclo del prelievo del codice operativo.

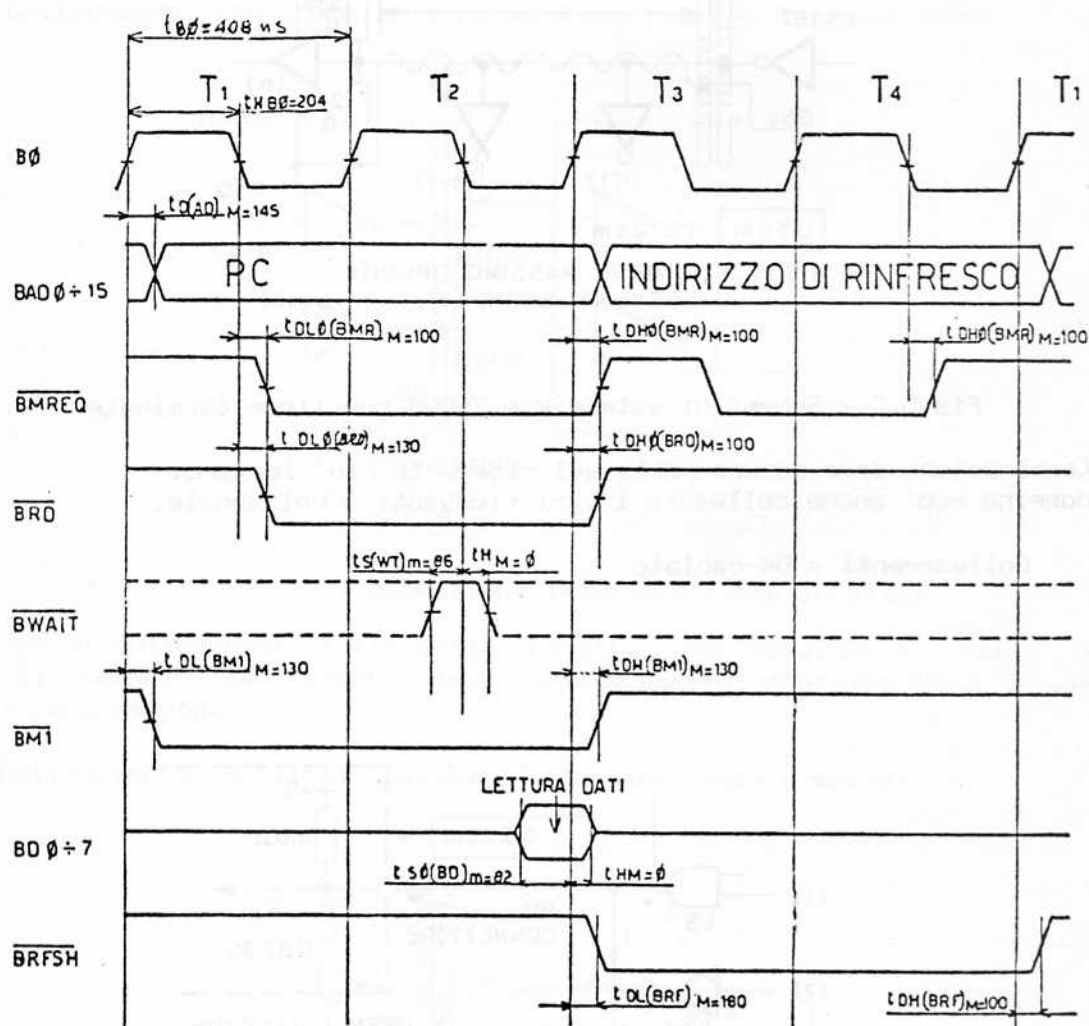



Fig.5.E - Temporizzazione per il prelievo del codice operativo

Il contenuto del Program Counter e' inviato sul bus-indirizzi BAD0-15 all'inizio del ciclo T1.
Mezzo ciclo piu' tardi il segnale $\overline{BMREQ}$ viene attivato indicando una richiesta di memoria.
Quasi contemporaneamente il segnale $\overline{BRD}$ viene attivato per indicare alla memoria di porre i propri dati sul bus-dati BD0-7 .
La CPU legge i dati alla fine di T2-inizio di T3 ed immediatamente disattiva $\overline{BMREQ}$ e $\overline{BRD}$.

Durante T1/T2 il segnale $\overline{BM1}$ e' attivo per indicare che e' in corso una acquisizione di codice operativo.

Durante T3/T4 la CPU provvede ad inviare l'indirizzo di rinfresco alle memorie dinamiche attivando il segnale $\overline{BRFSH}$ e nuovamente $\overline{BMREQ}$.

Temporizzazione per i cicli di lettura e scrittura memoria

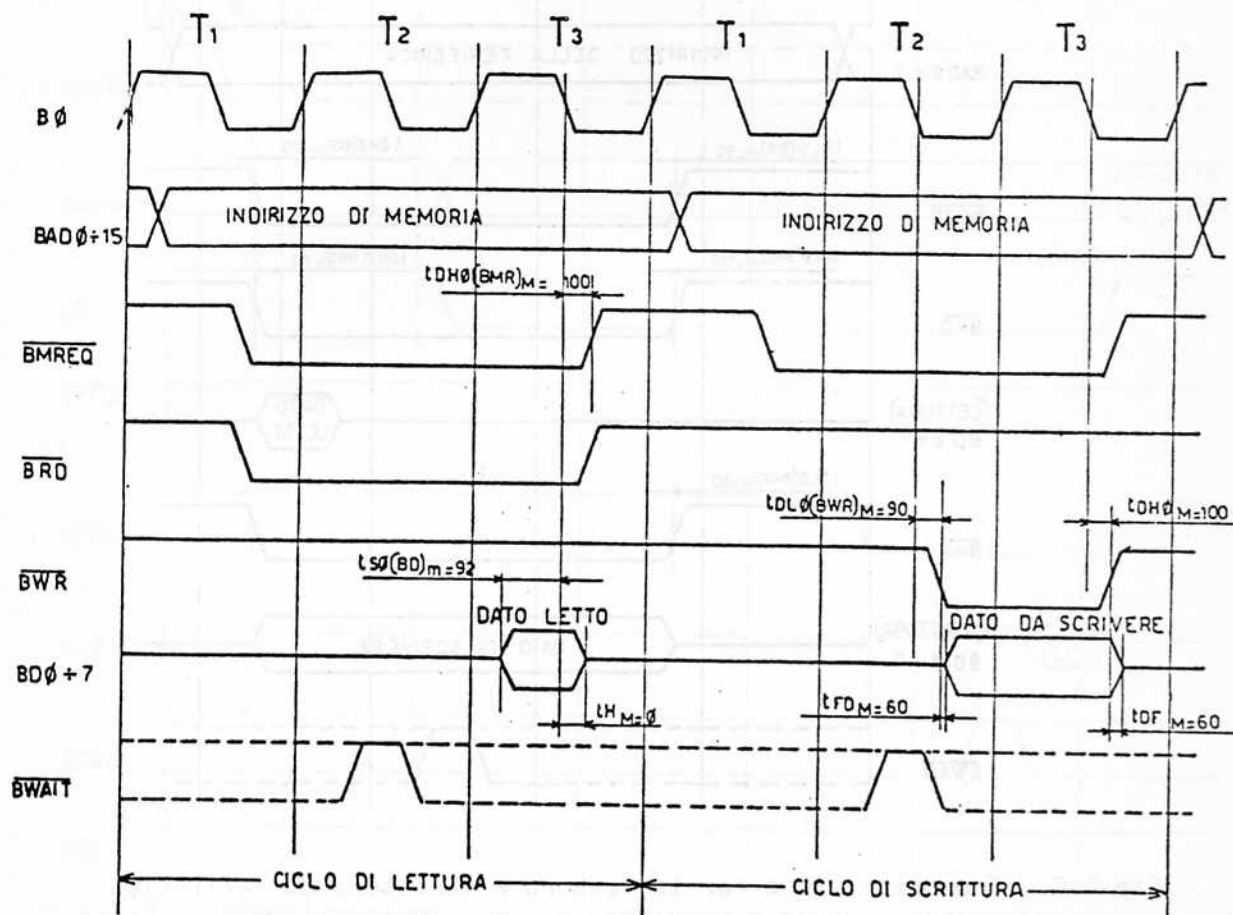



Fig.5.F - Temporizzazione per la lettura e scrittura in memoria.

Gli indirizzi di memoria sono inviati sul bus-indirizzi BAD0-15 all'inizio del ciclo di lettura o scrittura in memoria.

Per il ciclo di lettura i segnali $\overline{BMREQ}$ e $\overline{BRD}$ sono attivati entrambi a meta' del ciclo T1 ed i dati sono letti dalla CPU a meta' del ciclo T3.

Per il ciclo di scrittura il segnale $\overline{BMREQ}$ viene attivato a meta' del ciclo T1 di scrittura mentre $\overline{BWR}$ diventa attivo a meta' di T2.

Il ritardo del decoder T74LS156 (Q12) che attiva $\overline{DBOUT}$ fa si che il dato da scrivere e' valido dopo che $\overline{BWR}$ e' diventato attivo.
Per queste ragione ogni memoria connessa al gamma-BUS deve ritardare di 100-200 ns il segnale $\overline{BWR}$ prima di utilizzarlo come comando di scrittura dati.

Temporizzazione relativa al ciclo di lettura/scrittura di una periferica.

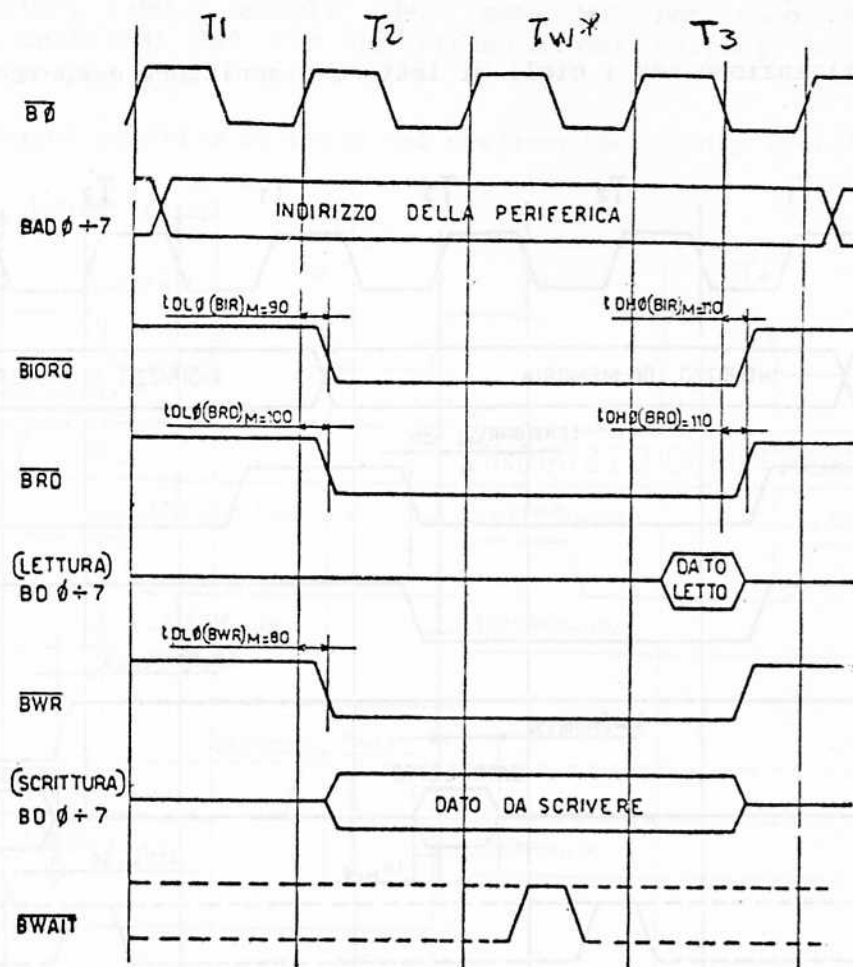



Fig.5.6 - Temporizzazione per la lettura e scrittura da periferica

L'indirizzo della periferica e' posto sul bus-indirizzi BAD0-7 all'inizio del ciclo T1.
Per un ciclo di lettura o scrittura i segnali $\overline{BIORQ}$, $\overline{BRD}$ e $\overline{BWR}$ vengono attivati all'inzio di T2.
I dati in uscita dalla CPU saranno presenti sul bus-dati, per essere scritti, durante tutto il tempo che i segnali $\overline{BIORQ}$ e $\overline{BWR}$ rimarranno attivi.
Mentre nella lettura i dati in ingresso saranno presenti sul bus-dati solo a meta' del ciclo T3.

Si noti che la maggior differenza rispetto ai rispettivi cicli di memoria e' l'inserimento automatico di uno stato di attesa non causato da un segnale $\overline{BWAIT}$; indichiamo questo speciale stato di attesa con TW*.

Temporizzazione per la richiesta e riconoscimento di interruzione mascherabile.

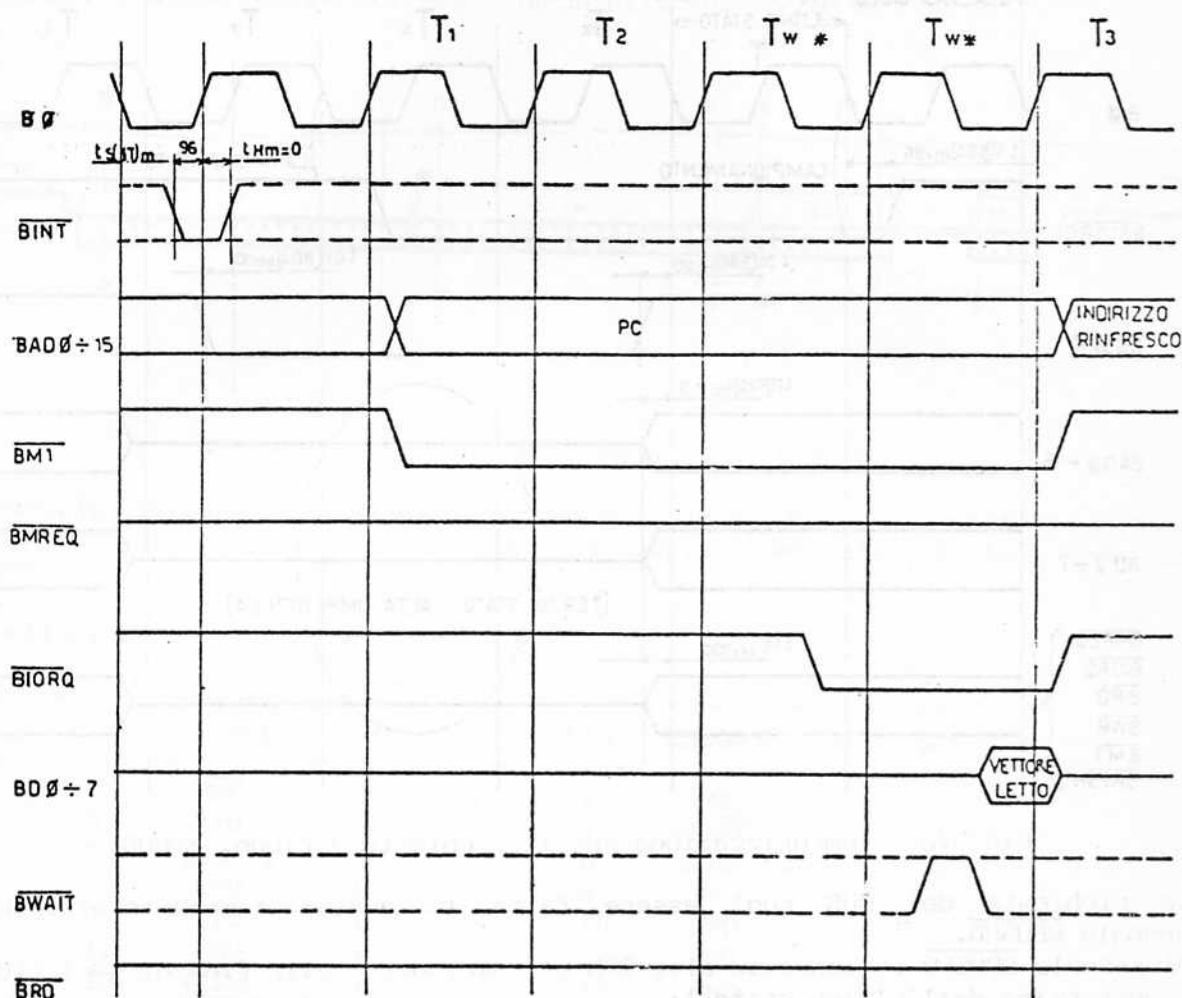



Fig.5.H - Temporizzazione per la richiesta e ricon. interruzione mascher.

Il segnale di interruzione BINT e' campionato dalla CPU con il fronte positivo dell'ultimo ciclo di clock alla fine dell'esecuzione di ogni istruzione.
Quando la richiesta di interruzione e' accettata la CPU genera uno speciale ciclo M1, durante il quale BIORQ diventa attivo (al posto del segnale BMREQ).
Il PIO che ha generato l'interruzione risponde inviando in uscita, sulle linee del bus-dati BD0-7, il vettore d'interruzione che verra' letto dalla CPU all'inizio del ciclo T3 (modo 2).

Due cicli di attesa TW* vengono inseriti in modo automatico per permettere alla circuiteria ad anello delle priorita' di identificare la periferica interrompente.

Temporizzazione per la richiesta ed il riconoscimento del BUS.

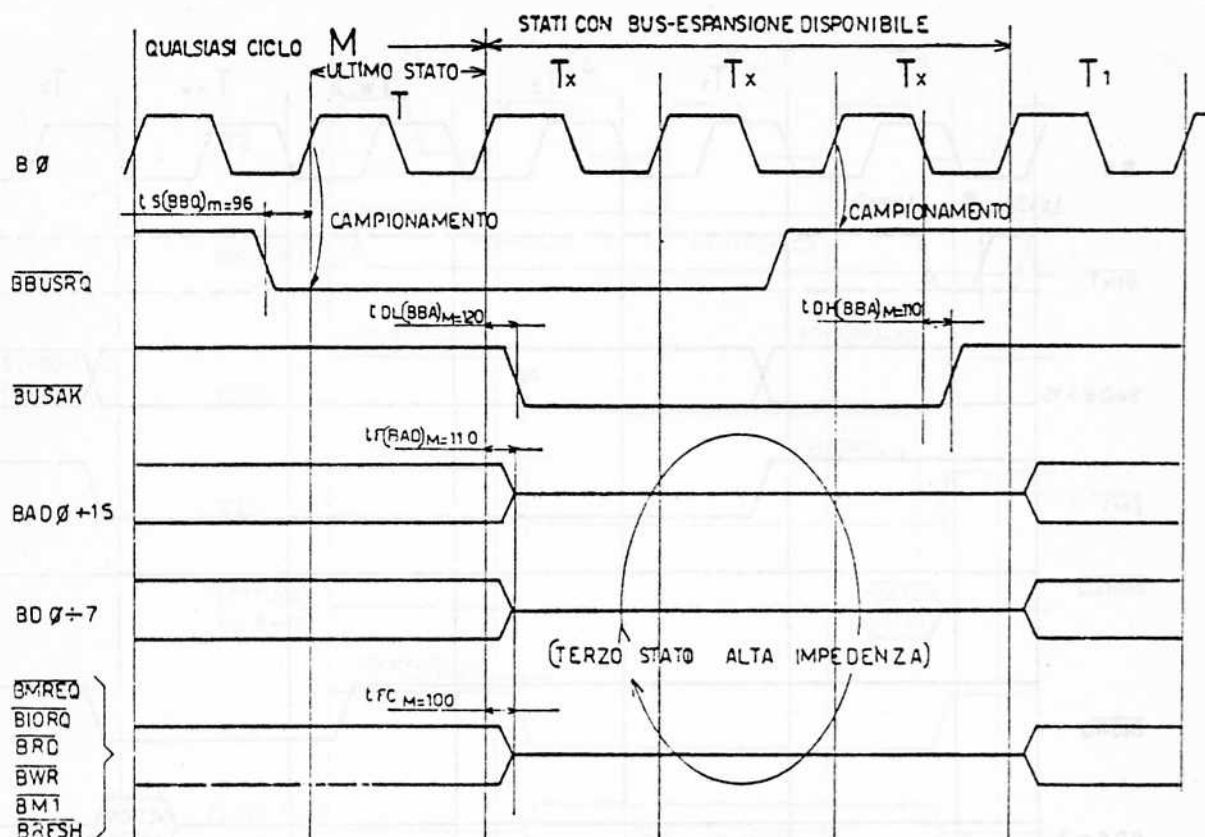



Fig.5.J - Temporizzazione per la richiesta e ricon. Y-BUS.

La richiesta del BUS puo' essere fatta in qualsiasi momento attivando il segnale $\overline{BBUSRQ}$.
Il segnale $\overline{BBUSRQ}$ in ingresso alla CPU e' campionato alla fine di ogni ciclo M appena prima dell'ultimo stato T.
Il segnale $\overline{BUSAK}$ diventa attivo con il fronte di salita dell'ultimo stato in presenza di $\overline{BBUSRQ}$ attivo.

I circuiti 'driver' del bus saranno forzati nello stato di alta impedenza ('3o-stato') alla fine del corrente ciclo M e rimarranno in tale stato finche' $\overline{BBUSRQ}$ e' attivo.

Si noti che le memorie dinamiche RAM non sono rinfrescate dalla CPU locale durante tutta la fase di riconoscimento del bus, $\overline{BBUSRQ}$ attivo; pertanto questa funzione deve essere fatta dall'unita' esterna che ha fatto richiesta del BUS.

5.2. Interfaccia PIO (Ingresso/Uscita parallela)

I segnali di interfaccia PIO sono disponibili sui connettori J6 e J7

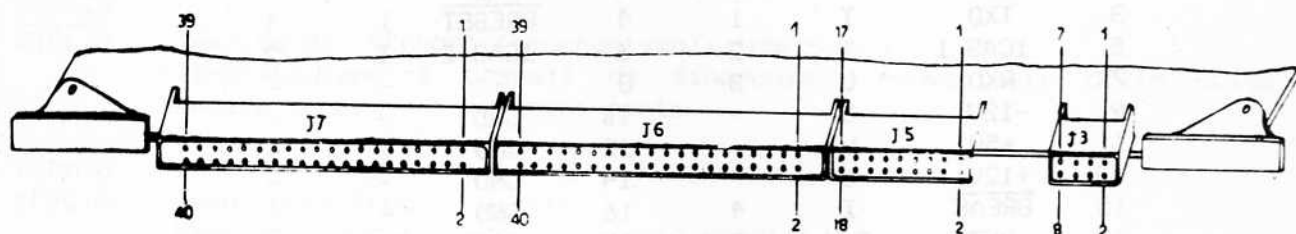



Fig.5.K - Disposizione connettori superiori

Le tabelle seguenti riportano la connessione dei pin con i nomi dei segnali, l'identita'(ingresso/uscita) e la categoria derivata dalle specifiche elettriche.

Connettore J6

PIN	SEGNALE	I/U	CAT	PIN	SEGNALE	I/U	CAT
1	$\overline{\text{MAG}}$	I	1	2	GND	–	–
3	TXD	I	1	4	$\overline{\text{BRESET}}$	I	4
5	ICAS 1	I	2	6	ICAS 2	I	2
7	RXD	U	3	8	–	–	–
9	-12V	U	–	10	GND	–	–
11	+5V	U	–	12	GND	–	–
13	+12V	U	–	14	GND	–	–
15	$\overline{\text{BREAK}}$	I	4	16	GND	–	–
17	PA7	I/U	5	18	PB7	I/U	5
19	PA6	I/U	5	20	PB6	I/U	5
21	PA5	I/U	5	22	PB5	I/U	5
23	PA4	I/U	5	24	PB4	I/U	5
25	PA3	I/U	5	26	PB3	I/U	5
27	PA2	I/U	5	28	PB2	I/U	5
29	PA1	I/U	5	30	PB1	I/U	5
31	PA0	I/U	5	32	PB0	I/U	5
33	$\overline{\text{STPA}}$ ($\overline{\text{ASTB}}$)	I	5	34	GND	–	–
35	$\overline{\text{STPB}}$ ($\overline{\text{BSTB}}$)	I	5	36	GND	–	–
37	FLPA (ARDY)	U	5A	38	GND	–	–
39	FLPB (BRDY)	U	5A	40	GND	–	–

Connettore J7

PIN	SEGNALE	I/U	CAT	PIN	SEGNALE	I/U	CAT
1	$\overline{\text{MAG}}$	I	1	2	GND	-	-
3	TXD	I	1	4	$\overline{\text{BRESET}}$	I	4
5	ICAS 1	I	2	6	ICAS 2	I	2
7	RXD	U	3	8	-	-	-
9	-12V	U	-	10	GND	-	-
11	+5V	U	-	12	GND	-	-
13	+12V	U	-	14	GND	-	-
15	$\overline{\text{BREAK}}$	I	4	16	GND	-	-
17	PC7	I/U	5	18	PD7	I/U	5
19	PC6	I/U	5	20	PD6	I/U	5
21	PC5	I/U	5	22	PD5	I/U	5
23	PC4	I/U	5	24	PD4	I/U	5
25	PC3	I/U	5	26	PD3	I/U	5
27	PC2	I/U	5	28	PD2	I/U	5
29	PC1	I/U	5	30	PD1	I/U	5
31	PC0	I/U	5	32	PD0	I/U	5
33	$\overline{\text{STPC}}$ ($\overline{\text{CSTB}}$)	I	5	34	GND	-	-
35	$\overline{\text{STPD}}$ ($\overline{\text{DSTB}}$)	I	5	36	GND	-	-
37	FLPC (CRDY)	U	5A	38	GND	-	-
39	FLPD (DRDY)	U	5A	40	GND	-	-

Note: 1) I seguenti segnali sono connessi internamente alla tastiera-display:

PA4 -> TxD
PA5 -> ICAS1
PA6 -> ICAS2
PA7 <- RxD

2) Al fine di limitare i disturbi accoppiati e' consigliabile utilizzare doppini schermati per i segnali di sincronizzazione FLPA/B/C/D e STPA/B/C/D collegando il filo di schermo ai corrispondenti pin di massa.

5.2.1 Descrizione segnali dell'interfaccia PIO

Ogni segnale indicato con una barra (es. $\overline{\text{STPA}}$) e' attivo basso, tutti gli altri sono attivi alti.
Per ulteriori informazioni sui segnali del PIO-Z80 si veda il Manuale Tecnico del PIO-Z80.

PA0-7
PB0-7 Linee di Ingresso/Uscita
16 linee dell'interfaccia parallela provenienti direttamente dal PIO (Q2) porta A (indirizzo 04 H) e porta B (indirizzo 05 H). Parte delle linee della porta A sono utilizzate dalla Tastiera-dispaly.

PC0-7
PD0-7 Linee di Ingresso/Uscita
16 linee dell'interfaccia parallela proveniente direttamente dal PIO (Q3) porta C (indirizzo 08 H), porta D (indirizzo 09 H). Queste linee sono a disposizione direttamente dell'utente sul connettore J7.

$\overline{\text{STPA,B}}$
$\overline{\text{STPC,D}}$ Impulso di 'Strobe' (sincronismo), ingresso
Rappresentano i segnali di sincronismo provenienti dalle unita' periferiche, uno per ogni porta.

FLPA,B
FLPC,D Impulso di Pronto, uscita.
Rappresentano il segnale di dato pronto.

RXD Ricezione Dati, ingresso seriale.
I dati provenienti dalle unita' esterne (Terminale o cassette audio) vengono letti tramite la porta A bit 7 (il collegamento PA7-RXD e' presente sulla tastiera).

TXD Trasmissione Dati, uscita seriale .
I dati in uscita del PIO porta A bit 4 (il collegamento PA4-TXD e' presente sulla tastiera) vengono inviati in uscita alla periferica con il tipo di interfaccia scelta.

$\overline{\text{MAG}}$ Selezione registratore, ingresso.
Questo segnale deriva dal selettore CASS/TTY posto sulla tastiera e commuta i dati in ingresso (RXD) ed in uscita (TXD) dal terminale seriale (J5) al registratore a cassetta (J3). Con $\overline{\text{MAG}}$ inattivo (alto) e' selezionato il terminale seriale.

ICAS1,2 Controllo registratore a cassetta, ingresso.
Segnali in uscita dal PIO (PA5,PA6) per il comando partenza/arresto dei registratori. Nel Nanocomputer solo ICAS1 e' controllato dal programma S/W residente. La connessione uscita PIO - ingresso ICAS e' fatta sulla tastiera.

$\overline{\text{BREAK}}$ Interruzione non mascherabile, ingresso.
Ingresso per generare una interruzione non mascherabile. L'impulso d'ingresso occorrente e' di 80-400 nS. In ingresso e' presente una resistenza di 33ohm verso +5V

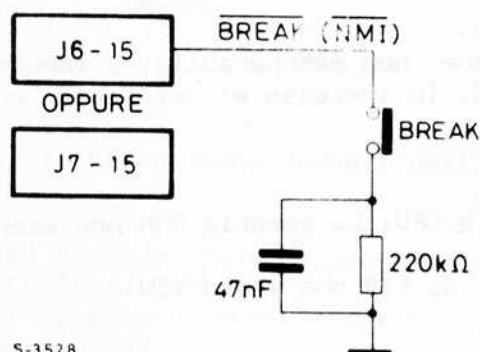
$\overline{\text{BRESET}}$ Reset della scheda, ingresso.
Reset generale di tutti i registri della CPU. La memoria RAM non viene azzerata.
In ingresso e' presente una resistenza di 910 ohm verso +5V.

5.2.2 Caratteristiche elettriche dell'interfaccia PIO.

ATTENZIONE: Gli ingressi/uscite PA,B,C,D (0-7), FLPA,B,C,D e $\overline{\text{STPA,B,C,D}}$ collegati ai connettori J6 e J7 sono ingressi/uscite MOS. Occorre evitare che cariche elettrostatiche possano danneggiare i circuiti MOS. I dispositivi PIO Z80 possegsono, ai loro ingressi/uscite, circuiti di protezione per le cariche elettrostatiche tuttavia l'utente deve prendere le usuali precauzioni nel collegarsi a circuiti MOS.

La seguente tabella riporta i valori di corrente di carico ed i livelli di tensione (di soglia), per ogni categoria.

CAT	DESCRIZIONE	TENSIONE DI SOGLIA [V]		CARICO DI USCITA [mA]		CARICO D'INGRESSO [mA]	
		VL	VH	IOL	IOH	IIL	IIH
1	Ingressi LS (3)	<0.8	>2.0	-	-	-0.36	0.02
2	Ingressi TTL	<0.8	>2.0	-	-	-1.6	0.04
3	Uscite LS	<0.5	>2.7	8.0	-0.4	-	-
4	Ingressi resist.						
	$\overline{\text{BREAK}}$ (33 Ω)(1)	<0.8	>2.0	-	-	-150	
	$\overline{\text{BRESET}}$ (910 Ω)	<0.8	>2.0	-	-	-5.4	
5	PIO Ingressi	<0.8	>2.0	-	-	-0.01	0.01
	Uscite (2)	<0.4	>2.4	2.0	-0.25	-	-
5A	PIO-Uscite FLP	<0.4	>2.4	1.6	-0.23	-	

Note: (1) Questo ingresso dovra' essere usato come segue:

Questo circuito produce l'impulso richiesto di (80-400 ns) per il $\overline{\text{NMI}}$

(2) La porta B di ciascun componente PIO puo' inoltre pilotare direttamente un transistor Darlington avendo la seguente caratteristica

IOH max= -1.5 mA con VOH= 1.5V

Le uscite FLP rimangono tuttavia, in categoria 5A.

(3) Ingresso $\overline{\text{MAG}}$ e' tre volte il carico LS (IIL= - 2.2 mA, IIH= 0.06 mA)

Descrizione delle categorie:

cat 1 Ingressi di 'gates' T74LS sulla scheda.

cat 2 Ingressi di 'gates' T74 sulla scheda.

cat 3 Uscite di 'gates' T74LS sulla scheda.

cat 4 Ingressi con resistenza verso +5V.
Per la linea $\overline{\text{BREAK}}$ si veda la nota precedente. Se e' richiesto un ingresso diretto di $\overline{\text{BREAK}}$ si dovra' utilizzare la linea $\overline{\text{BNMI}}$ del gamma-BUS. Tale linea avendo la stessa funzione puo' essere pilotata da un 'gate' a collettore aperto con un impulso di 80-400 ns.

cat 5 Linee di ingresso/uscita dei PIO.
Per ulteriori informazioni si veda il Manuale Tecnico o 'Data Sheet' del PIO Z80.

cat 5A Uscite FLP dei dispositivi PIO con minor pilotabilita' dovendo gia' pilotare sulla scheda un circuito T74LS367.

5.2.3. Regole di interconnessione.

Per ciascun Ingresso/Uscita (I/O) la lunghezza di connessione massima consentita e' di 30cm. Per lunghezze di interconnessioni maggiori si raccomanda di inserire su ciascuna linea un circuito 'driver' tipo T74LS365 o T74LS367 posto vicino al connettore PIO.
Nel caso di utilizzo di linee I/O bidirezionali possono essere usati i circuiti "driver tranceiver" tipo T74LS245 avendo cura di abilitarli opportunamente .

5.2.4. Temporizzazioni

Per le temporizzazioni dei segnali PIO si veda il Manuale Tecnico PIO Z80.

5.3. Interfaccia unita' magnetica

La scheda CLZ80/NC fornisce un interfaccia per cassette audio al fine di registrare dati o programmi ed in seguito ricaricare detti programmi o dati nella memoria RAM del Nanocomputer.
I segnali d'interfaccia audio sono disponibili sul connettore J3.

La tabella seguente riporta la connessione dei pin con i nomi dei segnali e l'identita' (Ingresso/Uscita)

Connettore J3

PIN	SEGNALE	I/U	PIN	SEGNALE	I/U
1	IM1	I	2	–	
3	GND	–	4	GND	–
5	UM1	U	6	–	
7	$\overline{CA1ON}$	U	8	$\overline{CA2ON}$	U

5.3.1. Descrizione segnali

IM1 Ingresso registratore
Segnale di ingresso proveniente dal registratore a livelli analogici di tensione

UM1 Uscita registratore
Segnale di uscita per il registratore a cassette.

$\overline{CA1ON}$ $\overline{CA2ON}$ Uscite controllo registratore

Segnali di comando partenza/arresto dei registratori a cassette.
Segnale basso= motore fermo.
Sulla scheda CLZ80/NC solo $\overline{CA1ON}$ e' utilizzato.

5.3.2. Caratteristiche elettriche interfaccia cassette.

SEGNALE	DESCRIZIONE	SPECIFICHE
IM1	Ingresso da registr. capacitivo	-800mVpp <IM1< 2Vpp in 22Kohm
UM1	Uscita per registr.	UM1 = 200 mVpp su 100ohm
$\overline{CA1ON}$ $\overline{CA2ON}$	Uscita di driver a open collector 'T7416	VOL <0.4V IOL = 16mA VOL <0.7V IOL = 40mA VOH <12 V

I segnali dell'interfaccia cassette possono essere interfacciati con qualsiasi registratore che accetti i valori d'ingresso descritti e fornisce in uscita i segnali richiesti.
I dati seriali sono inviati al registratore come impulsi audio nel seguente modo:

TXD - '1' logico (alto) = Silenzio
'0' logico (basso)= Tono a 4.8 KHZ

5.3.3 Formato di registrazione

I dati seriali vengono generati dal software NC-Z con le seguenti caratteristiche :

1) - Ogni byte di memoria in esadecimale viene codificato in due caratteri ASCII.

2) - I dati vengono registrati come caratteri ASCII in blocchi con il seguente formato:

CRLF:NNIIIIXXDDDD......DDCC

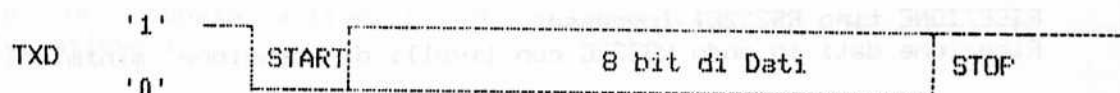
CRLF= Carriage Return/Line Feed.(ritorno carrello/incr.linea)
: = Due punti
NN = Numero di bytes del blocco (10H)
IIII= Indirizzo del primo byte di dati DD
XX= Due caratteri zero
DD..DD = Dati, 32 caratteri (16 bytes)
CC = Checksum.

3) - Ciascun blocco di dati viene registrato in 'record' come segue:

100 NULL	BLOCCO	CRLF	100 NULL

Partenza del record = "NULL CRLF"
Fine del record = "CRLF NULL"

Sono assenti caratteri di sincronismo e codici di controllo del dispositivo di registrazione.

4) - I caratteri sono in formato ASCII con un bit di start, due bit di stop e parita' zero.

La velocita' di ricetrasmissione e' di 600 baud ed e' determinata dal contenuto di una locazione di memoria (si veda il parag.4.3).

5.4 Interfaccia seriale

L'interfaccia seriale fornita sul connettore J5 puo' essere usata per:

- RS 232C
- Anello di corrente 20mA
- TTL

Questi livelli di comunicazione sono selezionati da ponticelli presenti sulla scheda ,si veda la tavola 8 del paragrafo 4.3.
La scheda inizialmente viene fornita per l'uso ad anello di corrente 20mA.
La velocita' di trasmissione e' generata via software (si veda il paragr. 4.3)

La tabella seguente fornisce la connessione dei pin.

Connettore J5.

PIN	SEGNALE	I/U	PIN	SEGNALE	I/U
1			2	TXRS	U
3	RTXTTY	I	4		
5	TXTTY	U	6		
7			8		
9	SICK	U	10	GND	-
11	GND	-	12	+5V	U
13	GND	-	14	RRXTTY	
15	TXTTL	U	16	RXTTL	I
17			18	RXTTY-RXRS	I

5.4.1 Descrizione segnali

TXTTY
RTXTTY Anello di TRASMISSIONE tipo TTY (20mA); Uscita e ritorno.
La coppia rappresenta la trasmissione attiva ad anello di corrente di 20mA.

RXTTY
RRXTTY Anello di RICEZIONE tipo TTY(20mA); Ingresso e ritorno
La coppia rappresenta la ricezione ad anello di corrente.

TXRS TRASMISSIONE tipo RS232C; Uscita.
Trasmissione dati in modo RS232C con livelli di tensione di +/- 12V.

RXRS RICEZIONE tipo RS232C; Ingresso.
Ricezione dati in modo RS232C con livelli di tensione minimi di +/- 3V

TXTTL
RXTTL TRASMISSIONE E RICEZIONE tipo TTL.
Trasmissione e ricezione dati a livelli TTL.

SICK Uscita Generatore di Baud
Frequenza di 9600Hz in uscita. Tale frequenza divisa per due e' utilizzata come segnale '1' (audio) nella registrazione su cassette.

5.4.2 Caratteristiche elettriche dell'interfaccia seriale.

1) - I segnali dell'interfaccia RS232C, conformi alle norme standard EIA, hanno le seguenti caratteristiche:

Ingresso : livello '0' : > 3V
livello '1' : < -3V

Uscita : livello '0' : 12V
livello '1' : -12V

2) - L'interfaccia ad anello di corrente fornisce in uscita una corrente di 20mA necessaria a pilotare un interfaccia standard tipo TTY.

3) - Le specifiche dell'interfaccia TTL sono:

	TENSIONE DI SOGLIA [V]	CARICO DI USCITA [mA]		CARICO DI INGRESSO [mA]	
		IOL	IOH	IIL	IIH
USCITA LS 32	VOL <0.5 VOH >2.7	6	0.34	-	-
INGRESSO LS 14 (*)	VIL <0.8 VIH >1.6	-	-	< -0.4	<0.02

(*) Circuito 'SCHMITT Trigger'.

Il segnale d'ingresso RXTTL e' protetto dalle riflessioni di linea mediante un circuito formato da una capacita' di 0.1uF e da due diodi che limitano l'escursione del segnale d'ingresso a -0.5 < VIN < 5.5V.

SICK e' un segnale a livelli TTL di frequenza 9.6 KHz con le seguenti caratteristiche :

Uscita SICK LS04	VOL < 0.5V	IOL = 7.2 mA
	VOH > 2.7V	IOH = -0.36 mA

La caricabilita' e' inferiore a quella nominale del gate LS04 poiche' l'uscita SICK deve pilotare sulla scheda il flip-flop T74LS74 (Q17) ingresso di clock.

6. TASTIERA - DISPLAY NKZ80 Descrizione circuitale.

Lo schema circuitale (ENKZ8001) della tastiera e' allegato al manuale.

La tastiera - display viene connessa, mediante un cavo piatto, agli ingressi/uscite del PIO (Q2) della scheda CLZ80/NC via il connettore J6.

I segnali della porta B del PIO (PB1-PB7) sono usati per la scansione delle lampadine LED e dei display a 7-segmenti pilotati dal driver integrato BGY16 (Q1).
I segnali PB1 - PB4 sono usati come dati d'ingresso al 'FF latch/decoder ' HCF4514 (Q4), mentre il segnale PB0 e' utilizzato per caricare i dati nel FF latch ed opportunamente ritardato e' usato per inibire le uscite del decoder (Q4).
In un altra fase di scansione selettiva i segnali PB1 - PB7 sono usati per selezionare le righe della tastiera.
La chiusura di un tasto I1 - I28 viene rilevata dalle linee PA0 - PA3.
I rimanenti bit della porta A del PIO PA4 - PA7 che arrivano alla tastiera vengono rimandati, tramite connessione alla scheda CLZ80/NC come segue:

PA4	a TXD	Uscite dati trasmissione seriale
PA5	a ICAS1	Controllo motore Cassetta 1 (CA1ON)
PA6	a ICAS2	Controllo motore Cassetta 2 (non usato)
PA7	a RXD	Ingresso dati ricezione seriale

L' interrutore SW e' usato per forzare a massa la linea $\overline{MAG}$ che seleziona, sulla scheda CLZ80/NC la comunicazione seriale verso un terminale (collegato a J5) o verso un registratore audio collegato a J3.
I tasti $\overline{BREAK}$ (I29) e $\overline{RESET}$ (I30) collegati al condensatore da 47nF (C3) e alla resistenza 220 Kohm (R17) sono usati per produrre sulle linee in uscita $\overline{BREAK}$ e $\overline{RESET}$ un impulso di break (NMI) o di reset rispettivamente.

6.1 Display e tasti

La tastiera-display NKZ80 comprende :

- 8 digit esadecimali per visualizzare gli indirizzi (4 digit a sinistra) ed i dati (4 digit a destra).

- 14 lampadine LED per indicare:
  1) quale registro di CPU, locazione di memoria o porta I/O e' visualizzata.
  2) la condizione di breakpoint, di registro alternato o di errore.

- 16 tasti esadecimali (0 - F)

- 5 tasti per funzioni di ingresso e visualizzazione (->)(<-) (2ND), (ARS)

- 4 tasti con funzioni di controllo programma (SS), (GO), (BREAK), (RESET).

- 3 tasti per funzioni di ingresso (LA), (ST), (INC).

- 2 tasti per attivare il caricamento (load) o la lettura (dump) dei dati su/da un terminale seriale sia esso stampante , lettore di nastro o registratore a cassette . (LD), (DP).

- 1 tasto per attivare la funzione di breakpoint (BRK).

- 1 deviatore per selezionare il registratore a cassette od il terminale; (TTY <-> CASS).

7. SCHEDA PER ESPERIMENTI NEZ80 - Descrizione circuitale

Lo schema circuitale (EEU01501) della scheda NEZ80 e' allegato al manuale .

Tutti i segnali del gamma-BUS presenti sui connettori J1 e J2 sono collegati agli zoccoli di 40 pin, tipo porta integrati, A e B.
Sullo zoccolo A sono presenti anche i segnali del PIO porte C e D.
Sullo zoccolo C sono disponibili le uscite di alimentazione , le uscite dei segnali logici (SW0 - 7), le uscite dei monostabili (P0, $\overline{P0}$, e P1, $\overline{P1}$) e gli ingressi delle lampadine LED di visualizzazione (LM0 - LM7).

Il LED +5V segnala la presenza dell'alimentazione principale +5V.

I commutatori bistabili SW0 - SW7 hanno logica antirimbalzo ottenuta con 'flip-flop set-reset' T74LS279 (Q3, Q4, Q5).
Gli impulsi P0 e P1 sono ottenuti con la stessa logica, la durata non e' fissa poiche' e' determinata manualmente dall'utente.
Anche gli impulsi invertiti $\overline{P0}$ e $\overline{P1}$ sono generati tramite il T74LS368 (Q2).

Gli indicatori LED LM0 - 7 sono pilotati dai T74LS368 (Q1, Q2).
Quando gli ingressi LM0 - LM7 sono liberi (nessuna connessione presente) gli ingressi dei 'gate' sono tenuti a '0' logico mediante una resistenza (R1 - R8) da 33 Kohm connessa a -12V.

Il segnale $\overline{BWR}$ del gamma-BUS e' ritardato di 400 ns dalla rete formata da (R38), (R39), (C1) e dal gate T74LS368 (Q2) .
Il segnale ritardato e' chiamato $\overline{DBWR}$.

Sulla scheda NEZ80 inoltre, e' disponibile come opzione l'espansione del gamma - BUS (vedi schema EEU01501 foglio 2).
Tale opzione prevede il montaggio da parte dell'utente dei connettori J1' e J2' per il gamma - BUS, del connettore J5 e del condensatore cf2 per l'alimentazione +5V aggiuntiva. I componenti in opzione possono essere ordinati separatamente con il kit K4Z80.

7.1 Uso della basetta per esperimenti

La basetta permette di inserire componenti e fili di collegamento senza saldatura .
Ciascun foro e' collegato internamente al foro adiacente secondo la disposizione indicata sullo schema elettrico EEU01501.
La distanza fra i fori e' tale da permettere l'inserzione di circuiti integrati 'dual-in-line' da 8, 14, 16, 18, 20, 24, 28 o 40 pin.
La filatura dei componenti sulla basetta e' fatta con spezzoni di filo isolato.
L'uso del kit di fili K1Z80 e' consigliato.
Gli zoccoli A, B e C non sono forniti di doppio zoccolo per ridurne l'usura; tuttavia e' disponibile un kit di zoccoli K3Z80 di sostituzione.

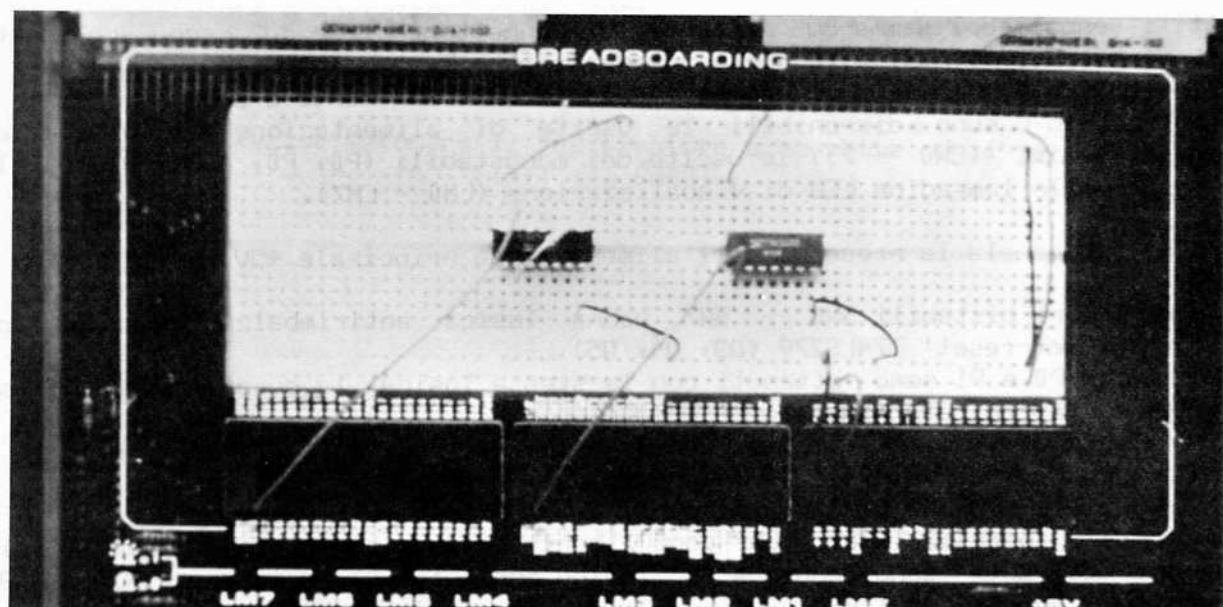



Foto 7.1 - Esempio di basetta filata

7.2 - Descrizione segnali utente

I segnali del gamma-BUS e del PIO a disposizione dell'utente sugli zoccoli A e B sono stati gia' descritti nei relativi paragrafi 5.1.1 e 5.2.1.
E' tuttavia necessario tenere presente la seguente conversione nominativa dei segnali :

CLZ80/NC	NEZ80
BAD0 - BAD15	BA0 - BA15
FLPC	CRDY
$\overline{STPC}$	$\overline{CSTB}$
FLPD	DRDY
$\overline{STPD}$	$\overline{DSTB}$
IEO	IE0

I segnali a disposizione sullo zoccolo C sono:

SW0 - SW7 Segnali utente; uscite.
Segnali a livelli logici TTL gestiti dall'utente mediante i commutatori SW0 - SW7 montati sulla scheda NEZ80.

LM0 - LM7 — Lampadine di visualizzazione; ingressi.
Ingressi a livelli logici TTL dei "driver" lampadine LED disposizione dell'utente.
Un livello logico '1' in ingresso significa lampadina accesa

P0 , P1 — Segnali impulsivi ; uscite.
Impulsi di uscita a livelli logici TTL, generati dall'utente tramite i pulsanti P0 e P1 posti sulla scheda NEZ80.
Pulsante premuto uguale a impulso in uscita positivo (livello'1').
Pulsante rilasciato uscita a livello '0'.

$\overline{P0}$, $\overline{P1}$ — Segnali impulsivi negati ; uscita.
Impulsi di uscita come i precedenti ma invertiti. Pulsante premuto uguale a impulso in uscita a livello '0'. Pulsante rilasciato uscita a livello '1'.

+/-5V
+/-12V — Alimentazioni; uscite.

GND — Uscite di alimentazione a disposizione dell'utente per alimentare i circuiti montati sulla basetta per esperimenti.

7.3 Caratteristiche elettriche segnali utente.

Di seguito viene riportata una tabella riassuntiva delle caratteristiche elettriche dei segnali utente presenti sugli zoccoli A,B e C.

	CARICO DI USCITA		CARICO DI INGRESSO	
	IOL	IOH	IIL	IIH
BA0 - 15 $\overline{BM1}$,$\overline{BIORQ}$,$\overline{BRD}$	(1) 23	(1) -2.6	(2) -0.8	(2) 0.2
$\overline{BMREQ}$,$\overline{BRFSN}$ $\overline{BWR}$	(1) 23	(1) -2.6	(2) -0.8	(2) 0.2
BD0 - 7	(3) 23.5	(3) -2.6	(4) -0.42	(4) 0.06
$\overline{BHALT}$,$\overline{BBUSAK}$ BΦ	23	-2.6		
$\overline{BRESET}$,$\overline{BBUSRQ}$ $\overline{BWAIT}$,$\overline{BINT}$,$\overline{BNMI}$			(5) -4.6	
IE0,$\overline{IOU0}$-3 $\overline{IOE0}$-3,IOQ3	7.5	-0.4	-0.36	-
PD0-7 PC0-7 (6)	2	-0.25	-0.01	-0.01
CRDY,DRDY $\overline{CSTB}$,$\overline{DSTB}$	1.6	-0.23	-0.01	-0.01
SW0-7	8	-0.4		
$\overline{P0}$,$\overline{P1}$	24	-2.6		
P0,P1	7.6	-0.35		
LM0-7			-0.4	0.06

		Imax [mA]
Alimentazioni: (corrente disponibile sugli zoccoli A, B, C con aliment. NPZ80).	+5V	500
	+12V	100
	-12V	100

Note: (1) $\overline{BUSAK}$ non attivo
(2) $\overline{BUSAK}$ attivo
(3) Dati in uscita
(4) Dati in ingresso
(5) Ingressi con resistenza 910 ohm da pilotare con dispositivi a collettore aperto nel collegamento in OR-cablato.
(6) Le uscite PC0-7 possono ciascuna pilotare direttamente un transistore Darlington avendo la seguente caratteristica :

IOH min. -1.5 mA con VOH = 1.5V

I livelli di tensione per tutti i segnali, a condizione di carico massimo previsto, sono :

Uscite	VOL < 0.5V
	VOH > 2.4V
Ingressi	VIL < 0.8V
	VIH > 2.0V

8. Monitor (NC-Z) e programma per esperimenti (NE-Z)

Il Nanocomputer NBZ80 include un potente monitor capace di:

- gestire tastiera e display
- accedere alla memoria ed ai registri
- eseguire programmi passo-passo
- autodiagnosticare RAM e display
- eseguire operazioni di LOAD e DUMP

Molte delle routine usate sono disponibili all'utente e possono essere chiamate dai programmi utente.
La 'Design Note' DN 314 descrivente le subroutine utilizzabili dall'utente viene allegata al presente manuale.

La 'Design Note' DN 340 descrivente le routine degli esperimenti e' allegata al manuale.

8.1 Programma di prova della memoria RAM.

Un programma di test incluso nel monitor e' usato per provare i chip di RAM da 4k montati sulla scheda CLZ80/NC.
Una prova parziale dell'area di RAM, fra 0FAB e FFFF (Hex), usata dal monitor NC-Z viene eseguita automaticamente ogni volta che il tasto (RESET) e' premuto.
Se qualche bit della memoria e' difettoso la lampadina ERR si accendera' contemporaneamente ad uno o piu' digit del display.
Il display mostrera' una figura di 8 nella locazione corrispondente alla posizione sulla scheda della RAM difettosa come mostrato nella figura.

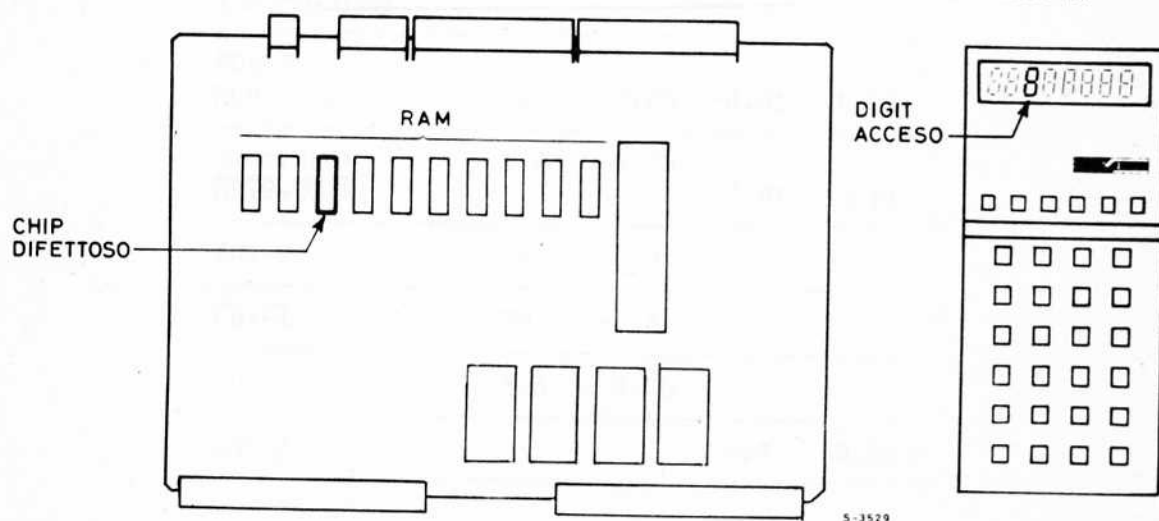



Fig.8.A - Esempio di individuazione chip di RAM difettoso.

Nota: Nella condizione di chip difettoso, oltre alla lampadina ERR e al digit

acceso anche altre lampadine e segmenti del display si accenderanno.

Una prova dell'area di RAM fra 0000 ed 0FAA (Hex) puo' essere eseguita facendo eseguire al Nanocomputer un programma di prova contenuto nel NC-Z su EPROM. L'indirizzo iniziale (entry point) di tale routine di prova e' FADC (Hex). Le operazioni da compiere per eseguire la prova sono le seguenti:

Passo	Comando	Ind.lum. selezion.	Commento
1	(RESET)	PC	Inizializ. sistema e prova della parte alta della RAM
2	(FADC)	PC	Scrittura indir. iniziale programma
3	(GO)	-	Partenza programma di prova.

Il display si spegnera' per qualche secondo durante la prova. Se nessuna locazione di RAM risulta difettosa il display visualizzera':

ma se una locazione di memoria risulta difettosa il display visualizzera':

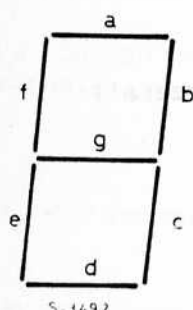
LLLL = Indirizzo della locazione di memoria difettosa
XX = Dato scritto nella locazione
YY = Dato letto della locazione

Se piu' locazioni di RAM sono difettose, esse possono essere trovate in sequenza premendo un qualsiasi tasto della tastiera (eccetto (BREAK) e (RESET)) procedendo nella prova.

8.2 - Programma di prova della tastiera ,display e lampadine LED.

Il software NC-Z, residente su EPROM, contiene anche un programma di prova della tastiera, dei display e dei LED.
Ogni segmento dei display a 7-segmenti, ogni LED ed ogni tasto (eccetto BREAK e RESET) puo' essere controllato da un programma il cui indirizzo iniziale e' FB43 (Hex).
Per eseguire la prova, la sequenza delle operazioni e' la seguente:

Passo	Comando	Indic. lum. selez.	Commento
1	(RESET)	PC	Inizializ. sistema.
2	(FB43)	PC	Scrittura indir.iniz.routine
3	(GO)	-	Partenza programma di prova

Tutti i segmenti dei display e tutte le lampadine LED si accenderanno.
Di seguito ogni tasto che verra' premuto, accendera' un solo segmento per digit e due lampadine LED secondo la tabella seguente.

Qualsiasi tasto della riga	Led dell'indicatore acceso	Segmento acceso
1	BRK,IR	a
2	IY,ARS	g
3	ERR,IX	f
4	SP,HL	e
5	PC,DE	d
6	BC,MEM	c
7	AF,I/O	b

Se i dati della tabella sono verificati la prova ha avuto esito positivo.

La prova viene terminata premendo il tasto (RESET).

8.3 Programmi per esperimenti NE-Z.

La SGS-ATES design Note 340 allegata al manuale descrive i programmi per esperimenti NE-Z residenti su due dispositivi EPROM (M2708) o ROM (M2316E) con 2K bytes di programma.

I programmi NE-Z sono usati durante lo studio del "Nanobook-Z80 Interfaccie " vol.3".

8.4 Disposizione EPROM/ROM di sistema.

La disposizione fisica delle EPROM o ROM del monitor (NC-Z) e del programma per esperimenti (NE-Z) e' la seguente:

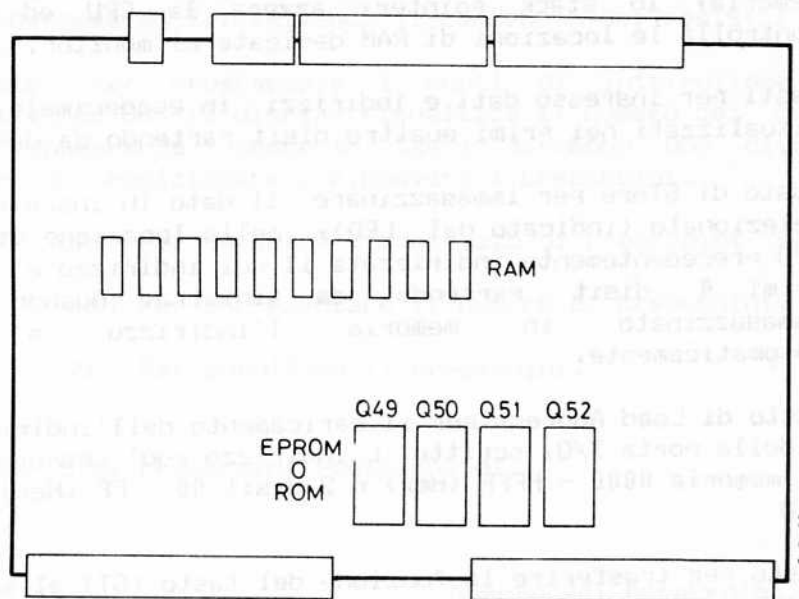



Fig. 8.B - Disposizione EPROM/ROM del NC-Z e NE-Z.

	EPROM (M2708)	ROM (M2316E)
(NC-Z)	Q51 , Q52	Q52
(NE-Z)	Q49 , Q50	Q51

9. Descrizione Operativa

Funzione dei tasti.

RESET — Tasto per azzerare il Nanocomputer, il software inizializza la memoria, lo stack pointer, azzera la CPU ed i breakpoint e controlla le locazioni di RAM dedicate al monitor.

0 – F — Tasti per ingresso dati e indirizzi in esadecimale. I dati vengono visualizzati nei primi quattro digit partendo da destra.

ST — Tasto di STore per immagazzinare il dato in ingresso nel registro selezionato (indicato dal LED), nella locazione di memoria o porta I/O precedentemente indirizzata il cui indirizzo e' visualizzato nei primi 4 digit partendo da sinistra. Quando il dato viene immagazzinato in memoria l'indirizzo e' incrementato automaticamente.

LA — Tasto di Load Address per il caricamento dell'indirizzo, di memoria o della porta I/O, scritto. L'indirizzo puo' essere di 4 digit per la memoria 0000 - FFFF (Hex) o 2 digit 00 - FF (Hex) per le porte di I/O

2ND — Tasto per trasferire la funzione del tasto (ST) al secondo registro della coppia di registri a 8 bit della CPU.

2ND	Normale
A	F
A'	F'
B	C
B'	C'
D	E
D'	E'
H	L
H'	L'

ARS — Tasto (acceso/spento) per visualizzare o selezionare la coppia di registri alternativa: A'F', B'C', D'E',H'L'.

–> , <– — Tasti per muovere passo-passo verso destra o sinistra l'indicatore luminoso (lampadine LED). Se il tasto viene tenuto premuto il puntatore avanza automaticamente .

INC — Tasto per INCrementare gli indirizzi di memoria e di porta I/O Se e' tenuto premuto gli indirizzi incrementano automaticamente (2 al secondo circa).

SS — Tasto Single Step per poter eseguire una istruzione per volta a partire dall'indirizzo indicato dal Program Counter. Se e' tenuto premuto vengono eseguite tre istruzione al secondo

GO — Tasto per eseguire un programma utente con indirizzo di partenza

immagazzinato nel registro Program Counter. (E' tuttavia sufficiente selezionare PC, scrivere l'indirizzo di partenza poi premere GO.)

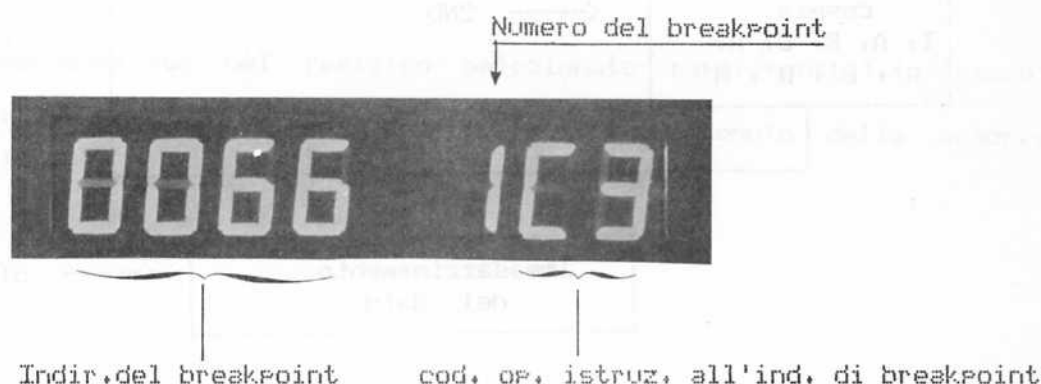
BREAK Tasto per fermare un programma utente tramite un NMI. Il controllo della CPU e' trasferito dal programma utente al sistema operativo (programma NC-Z). salvando il contenuto dei registri di CPU.

BRK Tasto per programmare i punti di interruzione (BReakPoint). Attivando BRK il display visualizza il numero dei breakpoint (0-7). Di conseguenza i seguenti tasti assumono una diversa funzione al fine di posizionare o rinnovare i breakpoint.

LA : Per caricare l'indirizzo di breakpoint (max 4 digit).

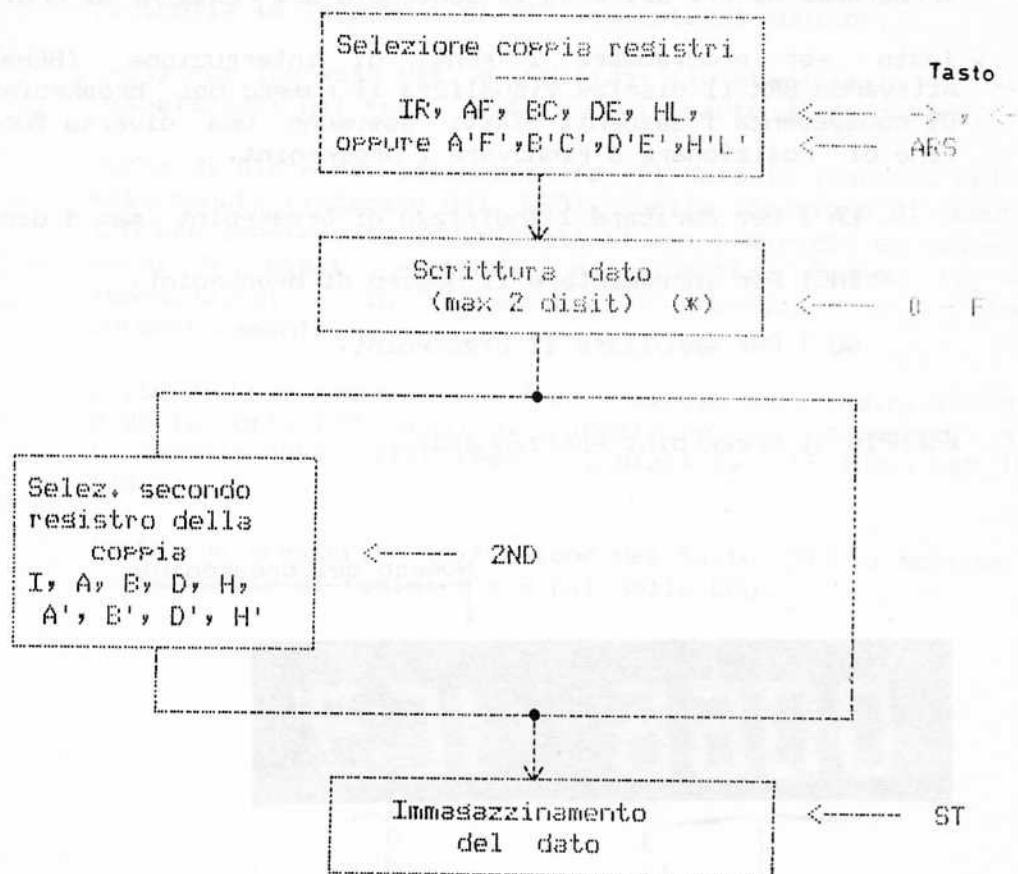
INC: Per incrementare il numero di breakpoint.

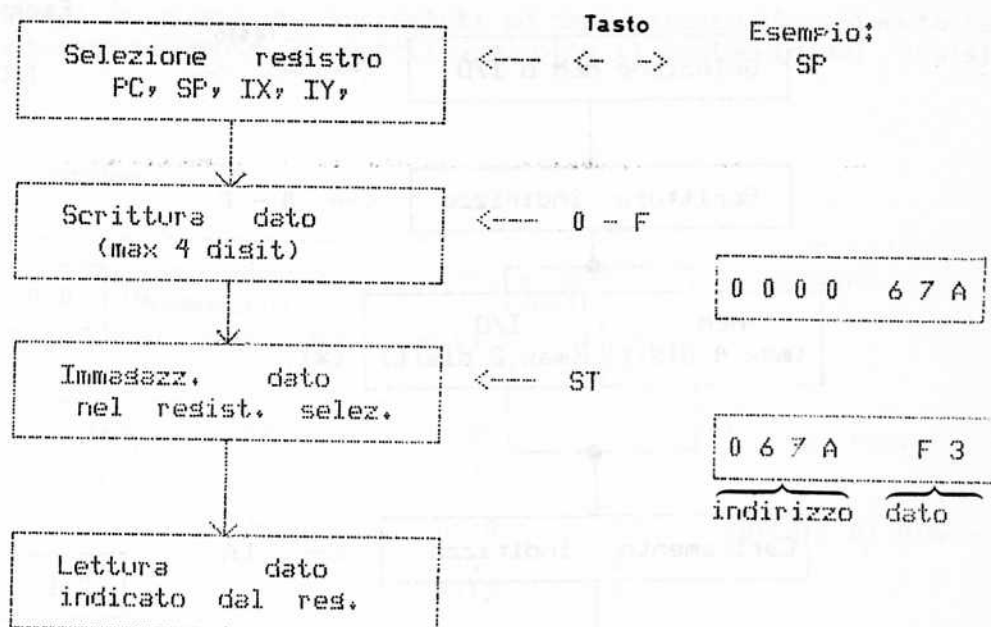
GO : Per annullare il breakpoint.

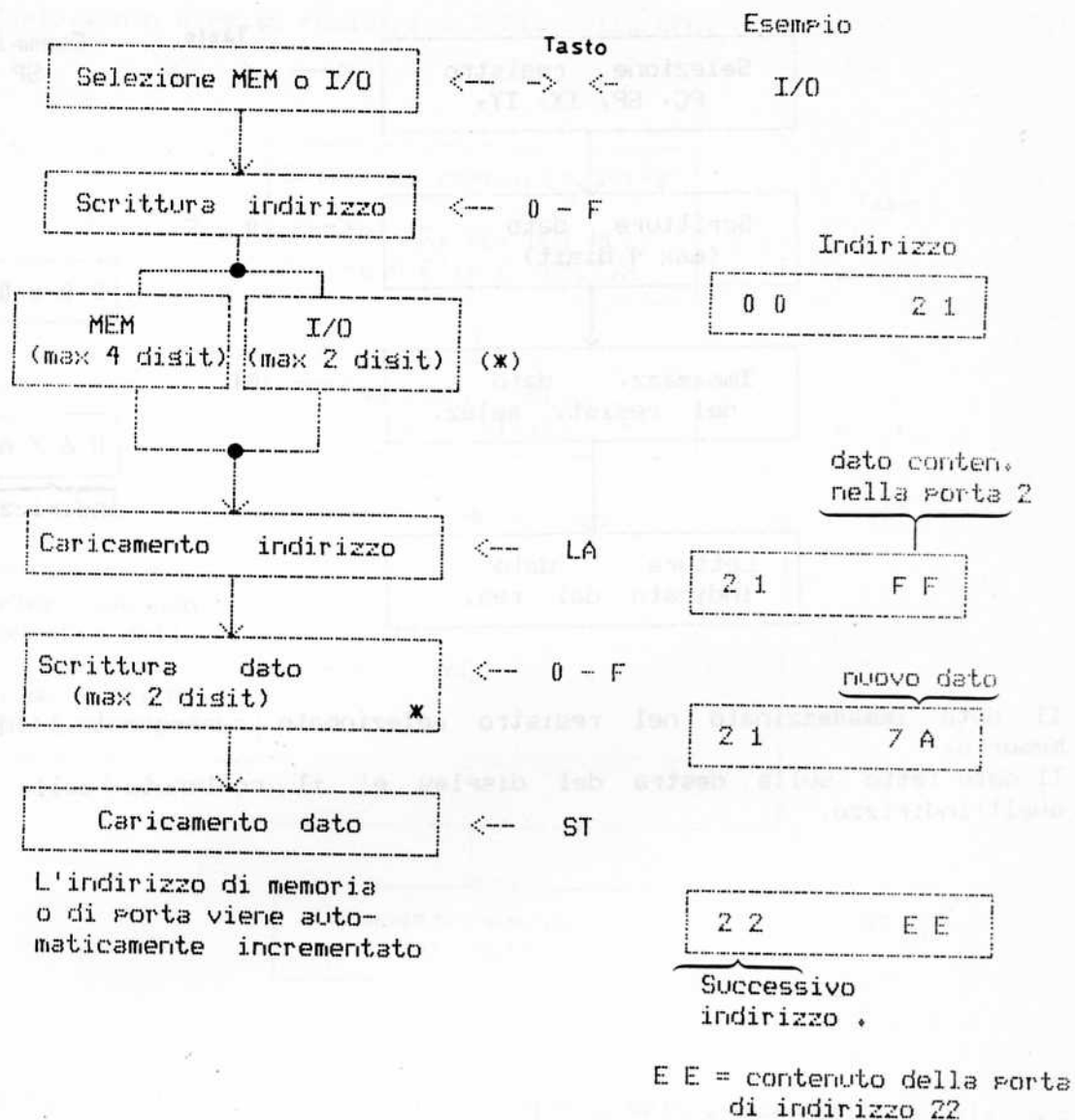
ESEMPIO di breakpoint posizionato:

Il tasto BRK e' premuto nuovamente per uscire dal modo breakpoint.

CASS-TTY Interruttore per selezionare la periferica di uscita: registr. a cassetta su(J3) o terminale seriale su (J5).

9.1 Esempi di caricamento registri.

1) Caricamento diretto registri a 8 bit della CPU.

(*) Se piu'di due digit vengono dati in ingresso solo i due digit visualizzati piu' a destra vengono immagazzinati; se solo un digit viene scritto il secondo (piu' significativo) viene immagazzinato come zero.

2) Caricamento diretto registri a 16 bit.

Il dato immagazzinato nel registro selezionato rappresenta l'indirizzo di memoria.
Il dato letto sulla destra del display e' il contenuto della memoria a quell'indirizzo.

3) Caricamento dato in memoria o su porta I/O

(*) Se piu'di 2 digit vengono scritti i piu' significativi non vengono immagazzinati .

9.2 ESEMPIO di creazione del programma, esecuzione e controllo (debugging).

Scriviamo un semplice programma che incrementi ad ogni passata il contenuto del registro C e contemporaneamente incrementi due volte il contenuto del registro B.

- Creazione del programma.

Diagramma di flusso	Codice sorgente (Mnemonico) Label	Istruzioni o dati	Codice oggetto (Hex) Indirizzo MEM	Istruzioni o Dati	Commenti
Inizio	Inizio:	INC B	010F	04	Increm. reg. B
INC B		JP Avan.	0110	C3	Salta a 0130(Avan.)
			0111	30	
			0112	01	
INC B Avanti	Avanti:	INC B	0130	04	Incrementa reg.B
		INC C	0131	0C	Incrementa reg.C
INC I		JP Iniz.	132	C3	Salta a 010F(Iniz.)
			133	0F	
			134	01	

Le operazioni di caricamento del programma in memoria sono elencate di seguito. Gli indirizzi di memoria sono incrementati automaticamente dopo ogni comando di (ST).

- Caricamento programma in Memoria

Passo	Comando	Dato in Ingresso	Dato Visualizzato	Indicatore Lumin. selez.	Commento
1	RESET		0000 ---	PC	Inizializzazione della CPU (azzeramento reg. interni)
2	-->		0000 ---	MEM	Selezione MEM
3		010F	-----010F	MEM	Indiriz. iniz. progr.
4	LA		010F ---	MEM	Caricamento ind. iniz. in MEM
5		04	010F 04	MEM	Codice oggetto 1.a istruz. (INC B)
6	ST		0110 ---	MEM	Caricam. codice ogg. ed increm. indir.di MEM
7		C3	0110 C3	MEM	Codice ogg. 2.a istruz. (JP 0130)
8	ST		0111 ---	MEM	Caric. codice ogg. 2.a istr.
9		30	0111 30	MEM	Ind. salto byte meno signif.
10	ST		0112 ---	MEM	Caric. salto byte meno signif.
11		01	0112 01	MEM	Ind. salto byte piu' signif.
12	ST		0113 ---	MEM	Caric. salto byte piu' signif.
					{ Ora il rimanente programma deve essere scritto a partire dall'indir. di salto 0130}.
13		0130	-----0130	MEM	Ind. proseguimento prog.
14	LA		0130 ---	MEM	Caric. ind. proseguimento prog.
15		04	0130 04	MEM	Codic. ogg. istr. (INC B)

Passo	Comando	Dato in Ingresso	Dato Visualizzato	Indicatore Lumin. selez.	Commento
16	ST		0131 ---	MEM	Caric. oss. istr.
17		0C	0131 0C	MEM	Codic. oss. (INC C)
18	ST		0132 ---	MEM	Caric. oss.
19		C3	0132 C3	MEM	Codic. oss. (JP 010F)
20	ST		0133 ---	MEM	Caric. oss.
21		0F	0133 0F	MEM	Ind. salto byte meno signif.
22	ST		0134 ---	MEM	Caric. salto byte meno signif.
23		01	0134 01	MEM	Ind. salto byte piu' signif.
24	ST		0135 ---	MEM	Caric. salto byte piu' signif.

Prima di passare all'esecuzione del programma e' opportuno verificare che i dati siano stati introdotti in memoria correttamente.
A tal fine procedere come segue:

Passo	Azione
1	Selezionare MEM
2	Scrivere l'indirizzo di partenza (010F)
3	Caricare l'indirizzo (LA) e visualizzare il primo codice operativo
4	Incrementare l'indirizzo (INC) e controllare il successivo codice operativo
5	Ripetere; poi controllare da (0130) a (0134).

Esecuzione del programma (utilizzando la funzione passo - passo (SS))

Passo	Comando	Dato in Ingresso	Dato Visualiz.	Indic. luminoso selez.	Commento
1(*)	RESET		0000 --	PC	Azzeramento registri interni CPU (il programma rimane memorizzato in MEM).
2		010F	-----010F	PC	
3	ST		010F 04	PC	Carica ind. iniz. programma nel Program. Counter.
4	<-		0000	BC (#)	Selez. registri BC (il loro contenuto e' 0000)
5	SS		0100	BC	Esegue 1.a istr. [INC B]
6	SS		0100	BC	Esegue 2.a istr. [JP]
7	<-		0130 04	PC	Verific. che il salto a 0130 e' avvenuto e che il succ. cod. op. e' 04.
8	<-		0100	BC	Ritorno a BC
9	SS		0200	BC	Esegue 3.a istr. [INC B]
10	SS		0201	BC	Esegue 4.a istr. [INC C]
11	SS		0201	BC	Esegue 5.a istr. [JP] salto a Inizio.
12	<-		010F 04	PC	Verifica che il salto a Inizio e' avvenuto.
					(Il programma e' terminato.)

Tenendo premuto (SS) il programma verra' eseguito nuovamente ed il contenuto dei registri B e C incrementera' lentamente .

Note:

(*) Il passo 1 puo' essere omesso quando il risultato finale non dipende dal contenuto precedente dei registri oppure ciascun registro interessato dal programma viene azzerato prima dell'esecuzione.

(#) Se il comando SS viene utilizzato mantenendo selezionato PC anziche' BC si potra' visualizzare che il programma passa di istruzione in istruzione.

Per il controllo del programma e' molto utile (sopratutto per programmi lunghi) l'inserimento di breakpoints(punti d'interruzione).
L'attivazione di tale funzione, comando (BRK), e' illustrata nella prima parte della seguente tabella. Nella seconda parte e' mostrata la funzione (GO) nell'esecuzione del programma con breakpoints .
La funzione (GO) permette l'esecuzione del programma alla massima velocita'.

- Controllo del programma (debugging) con utilizzo dei breakpoint.

Passo	Comando	Dato in Ingresso	Dato Visualizz.	Indic. lumin. selez.	Commento
1	RESET		0000 --	PC	Azzeram. del sistema e dei breakpoint
2	BRK		-----0--	PC,BRK	Attivazione breakpoint
3		0110	-----0110	PC,BRK	Indirizzo del primo breakpoint voluto.
4	LA		0110 0C3	PC,BRK	Memoriz. ind. del primo breakpoint voluto, (breakpoint zero)
5	INC		-----1--	PC,BRK	Incremento reg. interruz. (breakpoint uno)
6		0132	-----0132	PC,BRK	Indirizzo del secondo breakpoint voluto.
7	LA		0132 1C3	PC,BRK	Memoriz. del secondo breakpoint voluto
8	BRK		0000 --	PC	Disattiv. visualiz. breakpoint; I breakpoint rimangono tuttavia memorizzati.
9		010F	-----010F	PC	Indir. iniziale programma
10	GO		0110 C3	PC	Il programma viene eseguito fino al primo breakpoint 0
11	<--		0100	BC	Verifica che il registro BC e' stato incrementato.
12	<--		0110 C3	PC	Ritorno in PC
13	GO		0132 C3	PC	Il programma viene eseguito dal breakpoint 0 al 1.
14	<--		-----0201	BC	Verifica il contenuto di BC
15	(<--)		0132 C3	PC	Ritorno in PC
16	SS		010F 04	PC	(SS) esegue una istruz. a partire dall'ultimo breakpoint.
					FINE programma .

NOTA:
L'uso della funzione breakpoint abbinata a (GO) e (SS) e' indispensabile quando si voglia verificare la correttezza logica di un programma nonche' per visualizzare alcuni risultati parziali (passaggi intermedi)che altrimenti, con l'uso della sola funzione (GO), sfuggirebbero.

9.3 - Operazione di DUMP e LOAD su cassetta.

E' possibile registrare su cassetta programmi precedentemente immagazzinati in memoria RAM (operazione di DUMP) e ricaricare all'occorrenza un programma in RAM (operazione di LOAD).

Il registratore a cassetta dovra' essere collegato al connettore J3 della scheda CLZ80/NC.
Devono essere usate per il registratore cassette di buona qualita'; e' consigliato il tipo all'ossido di cromo CrO_2.
La sequenza corretta delle operazioni di DUMP e LOAD e' illustrata di seguito.

DUMP su Cassetta.

1) Posizionare il commutatore CASS/TTY della tastiera nella posizione CASS.
2) Riavvolgere il nastro (o posizionarlo nella zona voluta).
3) Selezionare con (->) il modo MEM.
4) Introdurre da tastiera l'indirizzo di partenza del programma (AAAA)(Hex).
5) Caricare l'indirizzo con (LA).
6) Introdurre la lunghezza del blocco da registrare (numero dei bytes in esadecimale delle locazioni di memoria occupate) (LLLL).

Il display deve ora visualizzare l'indirizzo di partenza sulla sinistra e la lunghezza del blocco sulla destra : AAAALLLL

7) Premere (DP). Il display si spegnera'.
8) Predisporre il registratore per la registrazione. Se e' usato l'autocontrollo il motore del registratore rimmarra' fermo.
9) Premere (GO).Il motore parte e dopo circa 20 sec. ha inizio la registrazione. Durante tale intervallo di tempo il software provvede a regolare l'AGC.
10) Quando la registrazione e' terminata il registratore si fermera'.
11) Sbloccare i tasti del registratore.
12) Premere un qualsiasi tasto della tastiera-display per ridare il controllo al monitor.

LOAD da CASSETTA

1) Posizionare il commutatore CASS/TTY della tastiera su CASS.
2) Riavvolgere il nastro (o posizionarlo nella zona di inizio registrazione).
3) Premere (LD) Il display si spegnera'.
4) Inserire il tasto di avanzamento (condizione di ascolto).
5) Attendere che il registratore si fermi (se il registratore ha l'autocontrollo) alla fine del blocco registrato.
6) Sbloccare il tasto di avanzamento.
7) Premere un qualsiasi tasto della tastiera per ridare il controllo al monitor.

Durante l'operazione di LOAD il software controlla per ogni blocco dati la corretta trasmissione (" checksum control ") (*) .
Se la lampadina LED di ERRore rimarra' spenta l'operazione di LOAD ha avuto successo ed il programma letto si trovera' caricato a partire dall'indirizzo indicato nell' operazione di DUMP.

Se la lampadina LED di ERRore si accendera' un errore e' stato rilevato, in tal caso ripetere l'operazione di LOAD.
Se si rilevasse nuovamente un errore il nastro e' difettoso.

Nota: (*) Per 'checksum' si intende un byte di controllo di sicurezza per la trasmissione dati ottenuto sommando ogni byte del blocco.

9.4 - Operazione di DUMP e LOAD su terminale seriale.
(TTY stampante e lettore di nastro)

DUMP su TTY (stampante o lettore)

La TTY seriale dovra' essere connessa al connettore J5 della scheda CLZ80/NC.

1) Posizionare il commutatore CASS/TTY della tastiera su TTY
2) Impostare la velocita' di trasmissione seriale caricando due locazioni di memoria come segue:

Baud rate	0FAE	0FAF	
600	9A	00	valore gia' predefinito
300	35	01	
110	55	03	

La velocita' di trasmissione impostata deve essere uguale alla velocita' del terminale.

3) Selezionare con (<-) il modo MEM
4) Introdurre da tastiera l'indirizzo di partenza del programma.
5) Caricare l'indirizzo di partenza con (LA).
6) Introdurre la lunghezza del blocco (numero di bytes in esadecimale); (LLLL) (Hex).
7) Premere (DP). Il display si spegnera'
8) Premere (GO). Dopo circa 20 sec. ha inizio l'invio di dati al terminale.
9) Terminato l'invio di dati al terminale premere un qualsiasi tasto sulla tastiera per trasferire il controllo al monitor.

Nota: Il formato dei dati inviati sul terminale e' come indicato nel paragrafo 5.3.3

LOAD da TTY (lettore di nastro perforato)

1) Posizionare il commutatore CASS/TTY della tastiera su TTY.
2) Inserire il nastro perforato sul lettore
3) Premere (LD). Il display si spegnera'.
4) Avviare il lettore.
5) Attendere la fine del nastro registrato.
6) Fermare il lettore.
7) Premere un qualsiasi tasto della tastiera per ridare il controllo al monitor.

Se la lampadina LED di ERRore rimarra' spenta l'operazione di LOAD ha avuto successo.

LOAD da TTY (terminale)

Questa operazione manuale di ingresso dati anche se e' possibile e' sconsigliabile.

Nota: I dati di ingresso devono essere nel formato previsto compreso il byte di controllo ' cheksum ' .
Solo nel calcolo del byte di controllo per ogni blocco (16 bytes) si potrebbe introdurre un errore che invaliderebbe l'operazione.

10. Espandibilita' del sistema

Le schede Nanocomputer utilizzano una struttura a bus, il Gamma-BUS, che e' compatibile con un ampia serie di schede della famiglia CLZ80 Microcomputer.

10.1 Espandibilita' Hardware

La scheda CLZ80/NC e' simile alla scheda CLZ80 4/2 con alcuni componenti omessi al fine di ridurre il costo ed adattarla a fini educativi.
La scheda tuttavia, puo' essere convertita nel Microcomputer CLZ80-4/2 utilizzando il kit di componenti KNZ80.

La scheda CLZ80-4/2 comprende :

- 1 UART 8251 per comunicazioni seriali.
- 1 Convertitore DC-DC per la generazione sulla scheda del +/-12V e del -5V. In tal modo la scheda necessita solo della singola alimentazione +5V.
- 2K ROM di programma MO-Z comprendente Monitor, Debug e Loader (per cassette audio).
- 1 PROM (2 bytes) di inizializzazione.
- 1 Connettore (J4) per il secondo registratore.

Per le schede della serie CLZ80 Microcomputer, basate su una struttura a bus, sono disponibili due cestelli porta-schede; il CPZ80 per 4 schede ed il CTZ80 per 8 schede.
Questi cestelli forniscono le interconnessioni schermate del Gamma-BUS per le seguenti schede:

VDZ80	Scheda di video-display piu' tastiera alfanumerica
FLZ80	Scheda di controllo per Floppy disk
PPZ80	Scheda programmatore di EPROM
RAZ80	Scheda per espansione di memoria RAM (16, 32. 48K byte)
PIZ80	Scheda per espansione di Ingressi/Uscite; comprende (4 PIO,1 SIO,e 1 CTC).

E' inoltre disponibile un set completo di cavi, alimentatori, periferiche floppy, stampanti ,terminali etc.
La memoria RAM della scheda CLZ80 puo' essere espansa da 4K a 16K sostituendo i componenti M4027 con le RAM dinamiche da 16K tipo M4116; solo con la modifica dei ponticelli e senza alcun componente aggiuntivo.

10.2 Espandibilita' Software

Il software per la serie microcomputer, che puo' essere usato sulle schede CLZ80, e' il seguente:

MO-Z 2K byte Monitor, Debug, Loader; fornito su una ROM M2316E.

MF-Z 6K byte Editor, Assembler; fornito su tre ROM M2316E

BAS-Z 8K byte Interprete BASIC (linguaggio ad alto livello); fornito su 4 ROM M2316E.

SEX 2K byte Nucleo di sistema operativo multiutente in tempo reale; fornito su una ROM M2316E.

FP-Z 2K byte Package di software matematico a virgola mobile; fornito su una ROM M2316E.

EPR-Z/0 1Kb. Programma di gestione del programmatore di EPROM (PPZ80); fornito su una EPROM M2708.

L'insieme dell'MO-Z e dell'MF-Z formano il Sistema Operativo FR-Z (8K byte).

Alcuni software sono disponibili in differenti versioni, allocati in differenti locazioni di memoria come mostrato nella tabella seguente:

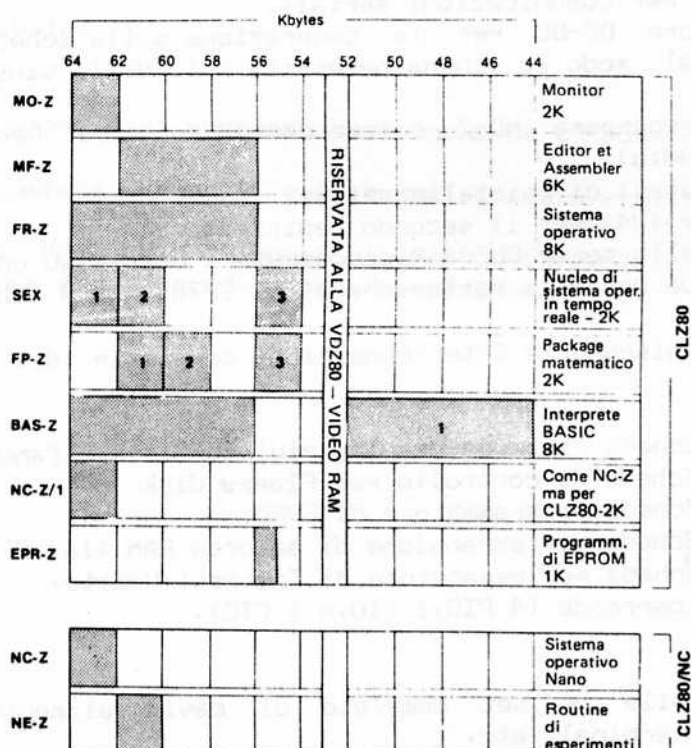



Tabella 10.1 - Allocazione di memoria del Software serie CLZ80.

E' anche disponibile una versione (NC-Z/1) del programma Nanocomputer adattata per l'uso su una scheda CLZ80.
Tale programma mette in grado l'utente che ha trasformato la scheda CLZ80/NC in CLZ80 di continuare ad usare il microcomputer come un Nanocomputer con la tastiera-display come unita' d'ingresso.

APPENDICE

- Catalogo componenti ed accessori del sistema.

Le parti componenti e gli accessori Hardware e Software previsti per il Sistema Didattico Nanocomputer sono:

Hardware

	Tipo	Descrizione
	NBZ80	Sistema Nanocomputer basato sul microprocessore Z80 formato da: - Scheda CLZ80/NC con 4Kbyte di RAM,2Kbyte di EPROM/ROM con programma Monitor (NC-Z) compatibile Y-Bus. - Tastiera-display NKZ80 - Manuale tecnico - Volume 1 "Nanobook Z80-Tecniche di programmazione"
	NBZ80-A	Come il sistema NBZ80 piu' l'alimentatore NSZ80.
	NBZ80-B	Come il sistema NBZ80 piu' il contenitore di schede con alimentatore incorporato NPZ80.
	NBZ80-S	Come il sistema NBZ80-B piu' la scheda NEZ80, l'insieme di spezzoni di fili K1Z80 ed il volume 3 " Nanobook Z80-Tecniche di interfacciamento "
	UPZ80-S	Kit di parti che permette di trasformare il sistema NBZ80 in NBZ80-S. Comprende: - Scheda NEZ80 - Contenitore - alimentatore NPZ80 - Cavo di connessione W15Z80. - Volume 3 "NanobooK Z80 - Tecniche di interfacciamento". - K1Z80
	NBZ80-HL	Come il sistema NBZ80-S piu' la scheda di interfaccia video VHZ80, la tastiera alfanumerica tipo ASR33 , 8K di BAS-Z/N e la guida al linguaggio BASIC.
*	UPZ80-HL	Kit di parti che permette di trasformare il sistema NBZ80-S in NBZ80-HL.
	NEZ80	Scheda per esperimenti hardware d'interfacciamento.
	TVZ80	Video monitor 12" per l'uso con VNZ80 o VHZ80.
	RCZ80	Registratore a cassette con controllo automatico (richiede il cavo W10Z80 di collegamento al sistema).
*	SSZ80	Stampante seriale modello 779 Centronics per carta standard da 8 1/2" con 80-132 colonne (60-120 car/sec).

Accessori

Tipo	Descrizione
NSZ80	Alimentatore mini per l'NBZ80.
NPZ80	Contenitore per le schede CLZ80/NC e NEZ80 con alimentatore incorporato.
KNZ80	Insieme di componenti per convertire la scheda CLZ80/NC in CLZ80 4/2 microcomputer. Include: UART, DC-DC converter, PROM di controllo, Monitor MO-Z su EPROM e connettore.
NKZ80	Tastiera-display per l'NBZ80 completa di cavo di connessione.
K1Z80	Insieme di spezzoni di filo per la connessione di circuiti sulla scheda NEZ80.
K2Z80	Insieme di semiconduttori e componenti passivi per la scheda NEZ80.
K3Z80	N.3 zoccoli a 40 pin per la scheda NEZ80.
K4Z80	Connettori per l'espansione del gamma-BUS sulla scheda NEZ80.
K5Z80	Insieme di componenti attivi e passivi per eseguire gli esperimenti descritti nel secondo Nanobook.
W6Z80	Cavo per la connessione del NBZ80-HL con l'ingresso in antenna di un TV commerciale.
W8Z80	Come W6Z80 ma per l'ingresso di un TV monitor.
W10Z80	Cavo di connessione con adattatore per un registratore a cassetta RCZ80 al NBZ80/NBZ80-S/NBZ80-HL.
W12Z80	Cavo di connessione della stampante SSZ80 al sistema NBZ80-HL.
W15Z80	Cavo di connessione NEZ80 e CLZ80/NC.

Software

Tipo	Descrizione
NC-Z	2K di Monitor per NBZ80 fornito su due EPROM M2708 od una ROM M2316E.
NE-Z	2K di software di esperimenti per i sistemi NBZ80-S e NBZ80-HL. Disponibile su due EPROM M2708 od una ROM 2316E.
* BAS-Z/N	8K di interprete BASIC per il sistema NBZ80-HL disponibile su 4 EPROM M2716 o 4 ROM 2316E.

NANOBOOK

Volume	Titolo
1	NANOBOOK Z80. Tecniche di programmazione
2	NANOBOOK Z80. Elettronica digitale
3	NANOBOOK Z80. Tecniche di interfacciamento.

Nota: (*) Disponibile entro il III trimestre 1980.

Tutte le parti componenti e gli accessori sopraelencati sono disponibili presso ogni distributore locale od ufficio vendite della SGS-ATES.

SGS-ATES COMPONENTI ELETTRONICI SpA

DIREZIONE GENERALE ED AMMINISTRATIVA
Via C. Olivetti, 2
20041 Agrate Brianza
Tel. (039) 65551

DIREZIONE COMMERCIALE ITALIA
Via Correggio, 1/3
20149 Milano
Tel. (02) 4695651

UFFICI VENDITA
Via G. Del Pian dei Carpini, 96/1
50127 Firenze
Tel. (055) 4377763

Via Correggio, 1/3
20149 Milano
Tel. (02) 4695651

Piazza Gondar 11
00199 Roma
Tel. (06) 8392848

Corso G. Ferraris, 26
10121 Torino
Tel. (011) 531167

PUNTI DI VENDITA
Via Larga, ang. Via Brolo/Via Verziere
20122 Milano
Tel. (02) 8690047

Via S. Quintino, 29/C
10121 Torino
Tel. (011) 531267

DISTRIBUTORI
Giulio BALLARIN
Via Iapelli, 9
35100 Padova
Tel. (049) 654500

CID
V.le degli Ammiragli, 67
00136 Roma
Tel (06) 6383979

DISELCO S.p.A.
Via dei Cignoli, 9
20151 Milano
Tel. (02) 3086141

ELECTRONIC SYSTEM S.r.L.
Via Davanzati, 39
00137 Roma
Tel. (06) 8272860

FANTON ELECTRONIC SYSTEM S.r.L.
Via Savelli, 1
35100 Padova
Tel. (049) 655033

FANTON BOLOGNA S.r.L.
Via Emilio Zago, 6
40128 Bologna
Tel. (051) 357300

G.B.C. Italiana S.p.A.
V.le Matteotti, 66
20092 Cinisello B. (MI)
Tel. (02) 6189391

MARCUCCI S.p.A.
Via Cadore, 24
20135 Milano
Tel. (02) 584686

Carlo RESTELLI
Via Nizza, 34
10125 Torino
Tel. (011) 655765

B. ROSSI S.p.A.
Via Archimede, 43/2
16142 Genova
Tel. (010) 516575

Adriano ZANIBONI
Via Tasso, 13/4
40129 Bologna
Tel. (051) 368913